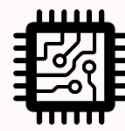


스터디 운영 및 학습 결과보고서

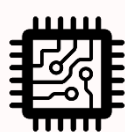
공정팀

김유승, 박준현, 백호, 이용준, 이한선



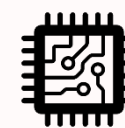
스터디 목표

- 반도체 8대 공정의 기본적 개념 이해
- 과거 및 현재 기술 동향분석 프레임워크



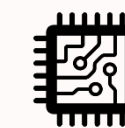
진행 방식

- 인원: 5명
- 일시: 매주 화요일 18시
- 방식: Flipped Learning 방식 (자기주도 학습 + 프레임워크 기반 내용 발표)
- 자료 활용: 뉴스룸, 논문, 서적 참고
- 진행 흐름: 반도체 공정 기본 개념 자기주도 학습 후 5단계 기술 분석 프레임워크 기반 조사 및 발표



주차별 주제

- 1주차: OT 및 스터디 계획 세우기
- 2주차: 웨이퍼공정 (Wafer Production)
- 3주차: 산화공정 (Oxidation)
- 4주차: 포토공정 (Photolithography)
- 5주차: 식각공정 (Etching)
- 6주차: 증착 및 이온주입 공정 (Deposition)
- 7주차: 금속배선공정 (Metallization)
- 8주차: EDS & 패키징 공정 (EDS & Packaging)



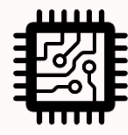
학습 Reflection

- 반도체 8대 공정의 핵심 이론과 제조 메커니즘을 학습하고, 글로벌 기업의 차세대 기술 및 산업 동향을 분석하며 반도체 생태계를 바라보는 실무적 시야를 넓힐 수 있었음

반도체 공정 핵심 요약

공정 팀

김유승, 박준현, 백호, 이용준, 이한선

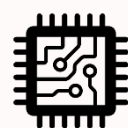


주제 1: 웨이퍼공정 (Wafer Production)

- 초크랄스키법(CZ) 잉곳 성장 → 슬라이싱 → 연마 (CMP)로 이어지는 수율 관리가 핵심
- CZ: 종자 결정에 Si 용융액에 접촉 후 회전·인상하여 단결정 잉곳: 성장 온도, 회전 속도가 결정 품질 직결
- 결정 결함 (Crystal Defect): 온도 불균일로 Dislocation, Slip 발생 → 잉곳 전체 폐기
- 슬라이싱 손실 (Kerf Loss): Sawing 마크, 치핑, 두께 편차 → 노광 공정에서 불량 직결
- CMP 평탄도 한계: Over-Etching, Slurry Imbalance, Edge Roll Off → Lithography 수율 급락

Focus Point: Czochralski Method & Limits

- 잉곳 성장 → 전위(Dislocation) 발생 메커니즘: 열 응력 → 결정 격자 뒤틀림
- 슬라이싱 → TTV / Saw Marks: 와이어 진동 및 장력 불균형이 핵심 변수
- CMP → Edge Roll-off: 가장자리 압력 집중 → 유효 칩 면적 감소
- Lithography Focus Margin 부족 → 수율 급락으로 이어지는 연쇄 메커니즘
- 450mm 한계: 자중 처짐(Sagging), 냉각 속도 불균일, 순도의 한계



주제 2: 산화공정 (Oxidation)

- Si 열산화로 SiO₂ 성장 → Deal-Grove 모델로 성장 속도 기술, 현재는 High-k/ALD로 진화
- Si + O₂ → SiO₂ (건식), Si + 2H₂O → SiO₂ + 2H₂ (습식), SiO₂는 Si 대비 부피 약 2.2배
- Deal-Grove 모델: 대류, 확산, 계면반응 flux 정상상태 → $x^2 + Ax = B(t+\tau)$ 포물선 성장 법칙
도출, Diffusion flux: $F = DC_s/(x + D/k)$, 정상상태에서 $F_{conv} = F_{diff} = F_{reaction}$
- 장비발전 Horizontal Furnace → Vertical Furnace → RTO → Radical Oxidation(ISSG)
→ High-k/ALD

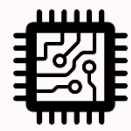
Focus Point: Deal-Grove Model of Diffusion & Throughput Improvement

- 성장 법칙: $x^2 + Ax = B(t+\tau)$, B: 포물선 속도상수(확산 제한), B/A: 선형 속도상수 (반응 제한)
- Radical 산화(ISSG): Si 결정 방향 의존성 감소, Corner Rounding 개선, Si₃N₄ 산화 가능
- High-k/ALD: 전구체 표면 흡착 → 치환 반응 → 가스 배출 사이클로 원자층 단위 균일 증착
- 수율 영향: 산화막 두께 불균일(TGV) → 게이트 V_{th} 산포 증가 → 소자 특성 저하

반도체 공정 핵심 요약

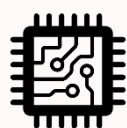
공정 팀

김유승, 박준현, 백호, 이용준, 이한선



주제 3: 포토공정 (Photolithography)

- 8단계: 표면처리(HMDS) → PR 도포 → 소프트베이크 → 정렬/노광(ArF·EUV) → PEB → 현상 → 하드베이크 → 검사
- Why 비쌈: ASML EUV 장비 독점(2000~5000억), 마스크·감광액 고가, 나노미터급 정렬·클린룸 필수
- 해상도 = 파장 ÷ 개구수 (파장 ↓ · 개구수 ↑ = 미세 패턴 / EUV 파장 = ArF의 1/14)
- 양성 PR 사용(빛 받은 부분 제거) / 불량 시 Rework(PR 제거 후 1단계 재시작)
- HMDS: 표면 -OH → (CH₃)₃Si- 치환 / 접촉각 60~80° = 소수성 확인
- 소프트베이크: 온도 ↓ → 잔류용매 과다(패턴 씻김) / 온도 ↑ → PR 열 분해
- 노광: ArF(일반) vs EUV(파장 14배 짧음, 거울 반사, 최첨단 공정 한정)
- PEB: 정렬파 완화 + 산(Acid) 촉매 연쇄반응 → 노광에너지 균일화
- 현상: Spray·Puddle·Immersion 방식 / 패턴 불음 방지 = 초임계 건조
- 검사: Overlay(층간 정렬) + CD 측정(SEM) / 불량 → Rework



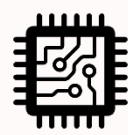
주제 4: 식각공정 (Etching)

- 포토공정으로 형성된 PR 패턴을 마스크로 활용하여 불필요한 막질을 제거하는 공정으로, 미세 패턴 구현과 하부 막질 보호가 핵심
- 습식 식각은 높은 선택비와 빠른 속도가 장점이나 등방성 특성으로 Undercut이 발생해 미세 공정에 한계 존재, 건식 식각은 플라즈마 기반 이온 충돌과 라디칼 반응을 이용해 수직 식각 구현
- RIE는 물리적 이온 식각과 화학적 라디칼 반응을 결합한 핵심 공정으로, Source Power는 식각 속도, Bias Power는 이방성 및 수직 프로파일 제어
- 식각 한계로는 Micro-loading effect, 부산물 재부착, Over-etch, PR Strip 및 세정 과정에서의 패턴 손상 등이 있으며, EPD를 통한 실시간 식각 정지 제어 필요
- HAR Etching에서는 3D NAND와 같은 고종횡비 구조에서 깊고 수직적인 식각 구현이 중요하며, Passivation은 측벽 보호막을 형성해 Undercut과 패턴 손상 방지
- ALE는 원자층 단위 정밀 식각이 가능하지만 낮은 공정 속도와 선택비 한계 존재

반도체 공정 핵심 요약

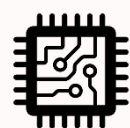
공정 팀

김유승, 박준현, 백호, 이용준, 이한선



주제 5: 증착 및 이온주입 공정 (Deposition)

- Deposition 공정은 웨이퍼 위에 분자 또는 원자 단위의 아주 얇은 박막(Thin Film)을 입혀 절연막, 게이트, 배선 구조 등을 형성하고 전기적 특성을 갖게 만드는 공정
- 반도체 고집적화에 따라 박막을 완벽하게 평가하기 위해 종횡비(A/R)와 단차 피복성(Step Coverage)의 확보가 매우 중요함
- 증착 조건: 온도(열손상 vs density ↓), 압력(직진성 ↑ vs 속도 ↑), 가스유량(조성·두께 제어)
- RF 파워(PECVD): 파워 ↑ → 이온화 ↑ · 치밀도 ↑ / Atomic Peening → 압축 응력으로 박막 응력 조절
- 이온주입: 에너지(keV)=깊이 / 도즈=전도도($I \cdot t / q \cdot A$) / 7° 틸트=채널링 방지 / 빔전류=생산성
- KPI: 균일도(엘립소미터·4pp) / 선택비(두께+SEM) / 결함(광학→e-beam→SEM)
- Step Coverage: 온도·압력·유량·RF파워 복합 최적화 → 굴곡진 곳까지 균일 증착



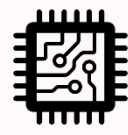
주제 6: 금속배선공정 (Metallization)

- PVD(Physical Vapor Deposition)는 플라즈마 등을 이용해 타겟 물질을 물리적으로 떼어내어 웨이퍼 표면에 증착하는 방식. 고순도 금속막을 저온에서 형성할 수 있어 BEOL 금속 배선 공정에 주로 사용됨. 다만 이방성 특성이 강해 고종횡비 구조에서는 Shadowing Effect로 인해 단차 피복성이 저하되는 한계 존재.
- CVD(Chemical Vapor Deposition)는 반응 가스를 웨이퍼 표면에서 화학 반응시켜 박막을 형성하는 방식. 복잡한 형상에서도 우수한 단차 피복성을 보이며, 절연막 및 소자 격리 공정에 널리 사용됨. 그러나 Thermal Budget 부담이 있으며, 반응 부산물이나 잔류 가스로 인해 Void 및 신뢰성 문제 발생 가능.
- ALD(Atomic Layer Deposition)는 전구체를 번갈아 주입하여 원자층 단위로 박막을 쌓는 증착 방식. FinFET, GAA와 같은 3D 미세 구조에서 거의 완전한 단차 피복성과 두께 제어 능력을 제공함. 하지만 반복 증착으로 인해 Throughput이 낮으며, 이를 개선하기 위해 Spatial ALD와 Batch ALD 방식 활용.

반도체 공정 핵심 요약

공정 팀

김유승, 박준현, 백호, 이용준, 이한선



주제 7: EDS 및 패키징 공정 (EDS & Packaging)

⇒ EDS 공정

- 웨이퍼 상의 각 Die 전기적 특성을 검사하여 양품과 불량품을 분류하고, 최종 수율을 판단하는 핵심 선별 공정
- 수율 리스크: 잠재 결함 Die가 후속 패키징 공정으로 넘어갈 경우 전체 공정 비용 증가 및 최종 제품 신뢰성 저하 가능
- 주요 검사 단계: ET Test & WBI를 통해 소자 전류 특성 및 잠재 불량을 확인하고, Pre-Laser 단계에서 Hot/Cold Test로 온도별 동작 안정성 평가
- 결함 보완: Laser Repair를 통해 불량 row/column을 차단하고 spare 영역을 활용한 뒤 Post-Laser Test로 성능을 재검증
- 핵심 과제: Back Grinding을 통한 웨이퍼 박형화와 Inking을 통한 불량 Die 표시를 통해 패키징 전 단계에서 정확한 분류와 수율 관리 확보

⇒ 패키징 공정

- TSV(실리콘 관통 전극) 및 Micro Bump를 이용해 칩을 수직으로 적층하는 고밀도 3D 패키징 기술
- 수율 리스크: 칩과 기판 간의 열팽창계수 불일치(CTE Mismatch)로 인해 접합 계면에 극심한 열-기계적 스트레스 집중
- 주요 결함 현상: 범프 누락(Missing bump), 미세 기포 포획(Micro-void), 기판 휘어짐(Warpage) 및 대칭 크랙 유발
- 핵심 과제: 초미세 피치 환경에서 단 하나의 국부 접합 불량도 전체 칩의 Open/Short Failure로 이어지므로, 조립 정밀도 확보와 스트레스 완화가 수율의 핵심

Focus Point: Interfacial Reaction in Micro-Bump Bonding

- Intermetallic Compound (IMC) 과성장기에 따른 접합 계면 취화 (Embrittlement)
- Underfill 재료의 유동성 부족으로 인한 국부적 미세 공극 형성
- 고전류 밀도 환경에서 전자이주(Electromigration) 현상에 의한 금속 원자 확산 및 보이드 발생