스터디 운영 및 학습 결과보고서

공정팀	유재민 , 고범준 , 박상범 , 이희정 , 유하영 , 이기훈

스터디 목표

- 반도체 8 대 공정 배경 지식 쌓기
- 기업들의 차세대 공정 기술의 방향성 파악 및 방향성 이해
- 차세대 공정 (Cryogenic Etching, AS-ALD) 의 공정 이해 및 방향성 파악

진행 방식

- 인원 : 6 명
- 일시 : 1) 중간 이전 : 매주 목 18:30 ~ 21:30 2) 중간 이후 : 매주 화 / 목 18:30 ~ 21:30
- 방식 : 공통된 주제에 대해서 그룹별 조사 및 설명 , 이후 스터디에서 토의 및 설명
- 자료 활용 : 대부분은 review 논문과 기업의 tech blog 를 이용

주차별 주제

- 1 회차 ~ 4 회차 : 반도체 8 대 공정
- 5 회차 ~ 6 회차 : 반도체 기업 및 논문 키워드 분석으로 차세대 공정의 방향성 분석
- 7 회차 ~ 8 회차 : 미세화에서 3D 적층으로의 방향성 변화 분석
- 9 회차 : Cryogenic Etcthing 의 배경 및 Solution 학습
- 10 회차 : Cryogenic Etching 의 Solution 관련 논문 정리 , AS-ALD 의 필요성 관련 정리
- 11 회차 ~ 12 회차 : Cryogenic Etching & AS-ALD 의 원리 정리 및 앞으로의 방향성 토의

학습 Reflection

반도체 8 대 공정부터 시작해서 차세대 공정까지 학습하였다 . 단순히 논문 하나 혹은 공정 하나만 보는 것이 아니라 그 배경과 흐름을 보면서 학습했기에 스스로 설명하기에 용이하였다 . 동시에 미래에도 오래 기억 남을 수 있을 방식으로 스터디를 하였다 .

주제 1: 3D NAND 의 HAR 구조

왜 3D NAND는 높이 쌓는가? 그리고 왜 구멍을 정확히 일자로 뚫어야 하는가?

1. Flash 메모리 기본 원리 (CTL 구조)

1) Flash Memory 의 데이터 저장 방법

- Flash memory의 핵심 원리: MOSFET의 Vth(문턱전압)를 변조하여 데이터를 저장
  - Vth란? 트랜지스터가 켜지기 위해 게이트에 걸어야 하는 최소 전압
  - CTL(Charge Trap Layer)에 전자(electron)가 trap되면 → Vth 증가 → 'Programmed 상태 (데이터 0)' 전자가 빠져나가면(erase) → Vth 감소 → 'Erased 상태 (데이터 1)'
  - 읽을 때: 특정 전압을 걸어서 셀이 켜지면 Vth가 낮다(=1), 안 켜지면 높다(=0)

2) FG vs CTL à 왜 3D NAND에서는 CTL을 쓸까?

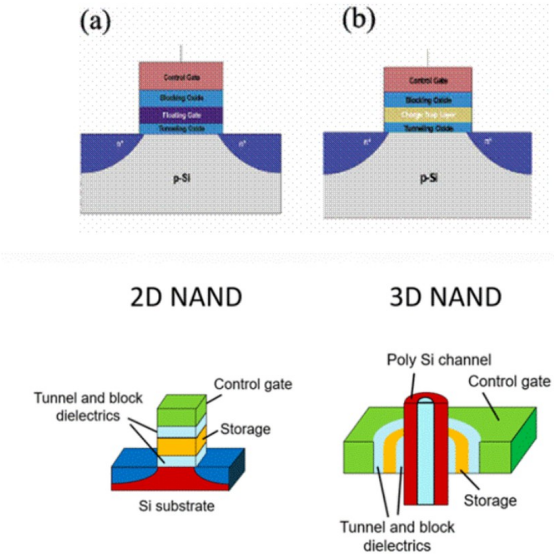


Fig. 4. Cell architectures of 2-D NAND planar cell and 3-D NAND GAA cell.

- 기존 2D NAND: FG(Floating Gate) 방식 사용
  - FG = doped 다결정 실리콘(poly-Si)으로 만든 도체층
  - 전하를 FG에 통째로 저장 → 강한 retention(유지기간 긺), 깊은 potential well 형성(쉽게 탈출 불가)
  - 구조: Control Gate / Blocking Oxide(BO=ONO, 13~15nm) / FG(poly-Si, 높이 ≥50nm) / Tunnel Oxide(TO, SiO2 ~8nm) / Si channel
  - 문제: FG 높이가 ≥50nm → 인접 셀 간 capacitive coupling(너무 셀들이 가까워져 한 셀의 전기장이 옆 셀에 영향을 줌) 간섭 심각

주제 1: 3D NAND 의 HAR 구조

- n 20nm 이하 half-pitch(셀 간격의 절반)로 줄이면 cell-to-cell 간섭이 폭발적으로 증가 → 2D scaling 포기의 핵심 이유

ㅣ 3D NAND 전환 후: CTL(Charge Trap Layer) 방식 채택

- n CTL = Si3N4(질화실리콘) 같은 절연체 내의 trap site(결함 부위)에 전하 저장
- n 두께 ≤10nm로 얇음 → FG(≥50nm)보다 셀 간 interference 훨씬 적음
- n 전하가 절연체 안에 갇혀있어 셀 간 분리(isolation) 공정 불필요 → 공정 단순화
- n 단점: CTL-based 2D NAND는 erase 효율과 retention 사이 trade-off 문제 존재 : TO를 얇게(≈5~6nm)해야 erase 가능(erase는 전자를 빼내는 과정, 그런데 CTL은 절연체 안에 전자가 있어 빼내기가 쉽지 않음) → 근데 그러면 charge loss 심각(평상시에도 전자가 새기 쉬워짐)
- n 해결책: 원통형(cylindrical) 구조의 3D V-NAND에서 이 trade-off가 해소됨.

구분	FG (Floating Gate)	CTL (Charge Trap Layer)
저장 재료	도체(poly-Si)	절연체(Si3N4) trap site
층 두께	≥50nm (두꺼움)	≤10nm (얇음)
셀 간 간섭	심각 (capacitive coupling)	상대적으로 적음
3D 적용성	어려움 (FG isolation 복잡)	유리 (공정 단순)

2. 왜 3D NAND는 높이 쌓아야 하는가?

1) 2D NAND 한계 : lateral scaling 포기

ㅣ 2D NAND는 가로 방향(lateral)으로 셀을 줄이며 집적도를 높여왔음

- n 2013년: F≈22nm에서 최초 24층 3D NAND 등장
- n 2019년: F=14~15nm까지 줄이는 데 성공
- n 그러나 이 이하에서는 두 가지 문제 동시 발생
  - u 제조 비용 폭등 (EUV 등 극자외선 리소그래피 필요)
  - u 소자 성능 자체 열화: program/erase 특성, multistate leveling, reliability 모두 악화
- n → 더 이상의 lateral shrinking 불가능 → 3D로 전환

2) 3D NAND 현황

ㅣ 3D V-NAND: 수직으로 channel hole을 뚫고 각 층마다 셀을 형성

- n 2016년: 3D NAND가 SSD 시장에서 주류 등극
- n 현재(2021년 기준): 176층 제품 양산 중, bit density 10.27 Gb/mm², 512 Gb/die
- n 주목할 점: F는 오히려 ≈38nm로 커짐 → 리소그래피 정밀도는 더 이상 핵심 제약이 아님
- n 집적도를 높이는 유일한 방법 = 층수를 늘리는 것

ㅣ WL stacking 수는 지속적으로 증가, 미래에는 수백 단 이상의 구조가 요구될 것으로 예상

- n 층수가 증가 à channel hole depth 증가 + hole width감소 à 구조의 aspect ratio 매우 커짐. à HAR 문제 (자세한 메커니즘은 4번)

3) 높이의 물리적 한계

ㅣ 적층에는 명확한 물리적 한계가 존재

- n 현재 허용 칩 두께: ≈30μm/ 그 중 ≈15μm는 passivation에 할당 (장기 신뢰성 보호 목적)
- n 실제 셀 적층에 쓸 수 있는 높이: ≈15μm
- n 계산: gate 길이 + isolation layer = 1쌍당 40nm → 최대 ≈375쌍 ≈ 400층

주제 1: 3D NAND 의 HAR 구조

- n 현재 176층 → 2026년 400층 한계 도달 예상

ㅣ 층수를 더 늘리려면 각 층 두께(pitch)를 줄여야 함

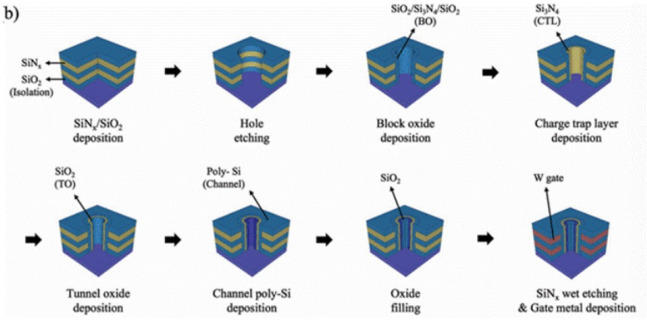
- n 그러나 pitch 감소 → lateral charge spreading 악화
- n 1000층 달성은 현재 기술로는 사실상 불가능

3. 일자구멍이 필요한 이유

1) Channel Hole & ONOP 구조

ㅣ 3D V-NAND 제조의 핵심: 수십~수백 층으로 쌓인 SiO_2/Si_3N_4 적층을 수직으로 뚫어 channel hole 형성

- n 이 hole 안에 동심원 구조로 셀 구성요소를 증착
- n 내부구조(바깥 -> 안) : W gate (Control gate) à Blocking Oxide à CTL(Charge Trap Layer) à TO (Tunnel Oxide) à Poly-Si Channel

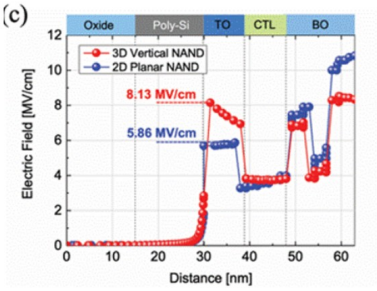


2) GAA 구조

ㅣ 2D NAND: gate가 채널 위에서만 전기장 인가 (단면 제어)

ㅣ 3D V-NAND: W gate가 poly-Si 채널을 360도 완전히 둘러쌈 → GAA 구조

- n GAA = Gate-All-Around: gate가 채널을 감싸는 구조
- n GAA의 핵심 장점: 전기장 집중 효과로 TO 전기장이 약 40% 강해짐
- n 논문 시뮬레이션 결과 (Figure 5) : 2D 평면 NAND: ≈5.86 MV/cm, 3D V-NAND: ≈8.13 MV/cm (≈40% 향상)



ㅣ GAA 구조 덕분에 CTL-based 2D의 고질적 문제(erase 효율 vs retention trade-off)가 3D에서 해소된다. 이것이 CTL + 3D 조합이 주류가 된 이유.

ㅣ 왜 일자로??

- n 일자로 된 수직 채널이어야만 GAA 구조가 성립함
- n hole이 일자가 아니면 → gate가 채널을 균일하게 감싸지 못함

주제 1: 3D NAND 의 HAR 구조

n 위치마다 전기장이 달라짐 → GAA의 장점 사라짐 → 셀 성능 불균일

4. HAR 관련 기본 개념

1) HAR? 층이 쌓일수록 어려워지는 이유

l HAR(High Aspect Ratio) = 깊이/직경의 비율이 매우 큰 구조

n 층수가 늘어날수록 hole이 깊어짐 → AR이 커짐

n 현재 수준: AR ≈ 100 (직경 ≈80nm, 깊이 ≈8000nm)

n 3D V-NAND의 특수성: 수십~수백 층의 SiO_2/Si_3N_4가 교대로 쌓인 구조를 동시에 식각해야 함

u 재료마다 식각 속도가 달라 균일하게 뚫기 더 어려움

l ion vs radical 메커니즘

n ion : 전기장으로 가속 à 방향성 높음 (anisotropic etching) à 수직 hole 형성의 핵심

n radical : chemical reaction 담당 à material removal à 방향성 낮음

n AR 증가시 문제

u radical transport 제한 à etching non-uniformity

u ion ; scattering + energy loss à profile distortion

n ARDE : AR이 증가할수록 etching rate가 감소하는 현상

u upper / bottom region 속도 차이 à severe non-uniformity

2) Etch Slope : 왜 일자로 뚫리지 않을까

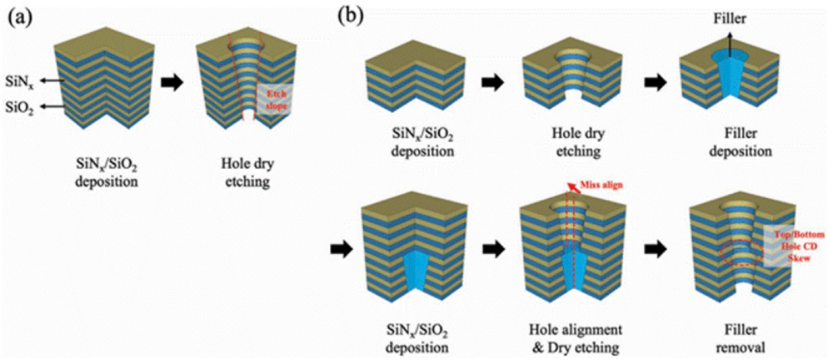


Figure 6. Schematic diagrams of the channel hole etching. a) Using single-deck processing in 3D V-NAND. b) Using double-deck processing in 3D V-NAND.

l 식각 가스가 깊은 hole 안에서 충분히 빠져나오지 못하는 현상 발생

n 반응 부산물이 hole 하단에 쌓임 → 하단으로 갈수록 식각이 덜 됨

n 결과: hole 상단(top)은 넓고, 하단(bottom)은 좁은 '역사다리꼴' 형태

l tapering

n taper profile à 층마다 channel diameter 달라짐.

n channel resistance 증가 + current non-uniformity + WL variation(반도체 웨이퍼 생산 과정에서 웨이퍼 내에서 공정 파라미터가 일정하지 않고 균일하지 않게 나타남.) + leakage current 증가

l microloading effect

n 패턴 밀도에 따라 etching 속도가 달라지는 현상

3) CD 불균일이 소자 성능에 미치는 영향

주제 1: 3D NAND 의 HAR 구조

- CD 불균일 → 전기장 분포 차이 발생
  - hole 직경이 다르면 GAA 구조에서 gate와 channel 사이 거리가 달라짐→ 셀마다 다른 전기장 → 같은 WL에서도 셀마다 Vth가 다름
- 결과적 문제들
  - 동일 페이지 내 셀 간 성능 편차 → 신뢰성 보장 불가
  - TLC/QLC: Vth 레벨 간격이 좁아 편차에 매우 민감 → 데이터 오류 급증
  - 보정 회로를 peripheral에 추가 → chip 면적 낭비

4) single deck vs double deck

- Single-deck: 128층까지 전체 적층을 한 번에 뚫음
  - AR이 커질수록 etch slope 문제 심화
- Double-deck: 128층 초과 시 도입된 해결책
  - 하부 절반 쌓기 → hole 뚫기 → filler로 채움 → 상부 절반 쌓기 → 다시 hole 식각
  - 가장 어려운 작업: 두 단계 hole을 정확히 수직으로 정렬하는 것
    - misalign 발생 → 두 hole이 어긋나게 연결 → 해당 부위 셀 성능 저하
    - 해결책: deck 경계 부근에 dummy cell 배치 → 데이터 저장 못하고 스위칭 소자로만 기능
    - → 층수 늘릴수록 유효 셀 비율 감소 (구조적 비효율)

5. HAR 구조 문제

1) 구조적 안정성

- Wafer bowing (웨이퍼 휨) 문제
  - 수백 층 SiO_2/Si_3N_4를 쌓으면 각 층의 stress 누적 → wafer 전체가 휨
  - hole etching + WL-cut 공정 진행 시 기존 stress가 국소적으로 해소 → 비균일 bowing
  - 대응: wafer 뒷면에 counter-stress layer 실시간 모니터링 후 증착, 필요 시 제거
- Wall leaning 문제
  - WL-cut 공정(적층을 trenching: 중간을 깊은 홈 형태로 잘라야함)하면 남은 패턴이 좁고 높은 '얇은 벽' 형태
  - 후속 wet etching 중 벽들이 서로 기울어지거나 달라붙는 leaning 현상 발생
  - 해결: 단일 WL scheme(하나하나 분리하려 해서 WL마다 trench 필요) → Word Plane(WP) scheme 도입
    - WP: 여러 행의 channel hole을 포함하는 넓은 단위로 trenching
    - 벽 두께 확보 → 기계적 안정성 향상

주제 1: 3D NAND 의 HAR 구조

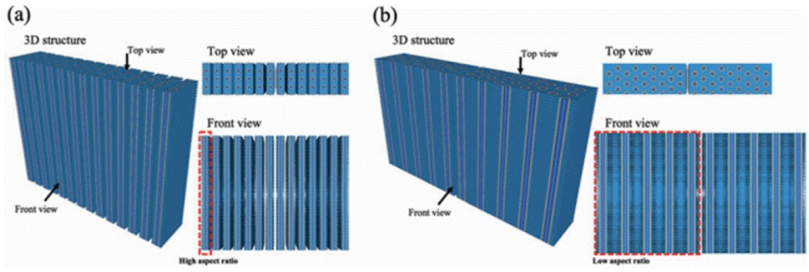


Figure 7. Structures of 3D V-NAND with WL and hole arrangements. a) Single WL scheme. b) Word plane scheme.

2) poly-Si channel의 낮은 이동도 : 층이 높아질수록 읽기가 느려짐.

- l poly-Si channel의 문제: 이동도(mobility)가 매우 낮음
  - n 현재 3D V-NAND cell read current: ≈200nA (96층 기준) → DRAM 대비 5배 낮음
  - n 해당 mobility: ≤0.1 $cm^2/V·s$ → 단결정 Si 대비 1000배 이상 낮음
  - n 층수가 늘수록 channel 길이 증가 → 전류 더욱 감소→ 수백 층에서는 정상 sensing이 불가능해질 수 있음
- l 해결 방향
  - n Ge 도핑: ON/OFF current 동시 증가 → 효과 제한적
  - n 차세대 후보: 단결정 Si 또는 AOS(Amorphous Oxide Semiconductor)
    - u AOS: electron mobility 10~100배 높음 → 그러나 hole(정공) 발생 어렵고 공정 통합 미해결

3) Charge Loss : 층이 많아질수록 데이터가 샘.

- l 수직 방향 charge loss: TO(아래)와 BO(위)를 통한 leakage
  - n 층 pitch 감소 → BO를 얇게 해야 함 → leakage 증가 trade-off
  - n TO 두께는 reliability 때문에 더 이상 줄이기 어려움
- l 수평 방향 charge loss (lateral spreading): CTL을 따라 전하가 옆으로 이동
  - n 매개체: 얕은 trap들 — N-vacancy(trap energy ≈0.53eV), Si-O bonding(≈0.18eV)
  - n 층 pitch 감소 → 인접 셀까지 거리 짧아짐 → spreading 더 심해짐(더 옆으로 잘 이동)
  - n 인접 gate bias의 stray field 효과(원하지 않는 전기장)가 lateral spreading을 더욱 악화

6. ALD Challenges

1) 왜 ALD가 필요할까? (CVD 한계)

- l 3D NAND HAR 구조 내부에 균일한 박막 형성 → 매우 우수한 conformality 요구
- l 기존 CVD 방식의 문제: 반응 가스가 동시에 표면에 도달하는 방식
  - n AR이 큰 깊은 구조에서 상단부와 하단부 두께 차이 심각하게 발생
- l 현재 3D NAND 공정에서 ALD가 핵심 증착 기술로 사용됨.

2) ALD 원리와 장점

- l self-limiting surface reaction 기반 공정
  - n 전구체(precursor)를 한 번에 한 층씩 표면에 반응시키는 layer-by-layer 방식

주제 1: 3D NAND 의 HAR 구조

- HAR 구조에서도 매우 우수한 step coverage 제공
- atomic-level 두께 제어 가능
- CVD 대비 훨씬 높은 conformality 구현 가능

3) Thermal ALD 한계 : 온도 의존성

- 사용 가능한 온도 범위가 매우 제한적 (ALD window)
  - 온도 너무 높음 → precursor decomposition 발생 → self-limiting 특성 붕괴 → CVD처럼 불균일 증착
  - 온도 너무 낮음 → surface reaction 불충분 → 불완전한 증착 발생
- 3D NAND의 추가 문제: 이미 하부 소자(peripheral circuit)가 형성된 상태
  - 고온 공정 자체가 하부 소자 손상 위험 → 사용 가능 온도 더욱 제한됨

4) 해결책 : PEALD

- plasma에서 생성된 radical species를 활용 à 낮은 온도에서도 높은 반응성을 확보
- 현재 3D NAND 공정에서 주력 기술로 사용
- 주요 장점
  - 저온 공정 가능 à 하부 소자 손상 위험 감소
  - 반응성 증가 à deposition rate 향상
  - 우수한 film quality 확보
  - thermal ALD 대비 높은 surface reactivityà 초고적층 구조에서도 보다 안정적인 증착 특성을 구현
  - 한계 : plasma damage ,ion bombardment ,charging effect

주제 2: 극저온 식각

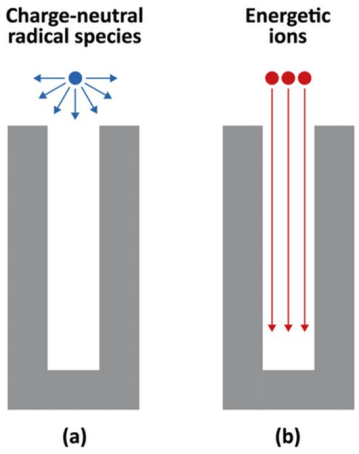
RIE basic problem & Cryogenic Etching

<RIE의 기본 원리 및 HAR에서의 문제점>

1. 기존 **RIE(**반응성 이온 식각**)**의 메커니즘과 기초 원리

RIE는 플라즈마 내에서 생성된 화학적 반응종(라디칼)의 표면 화학 반응과, 가속된 입자(이온)가 전달하는 물리적 에너지 및 운동량 전달을 결합한 식각 공정이다.

- 단순한 열에너지나 물리적 스퍼터링 단독으로는 얻을 수 없는 압도적인 식각 속도를 내며, 이를 이온과 라디칼의 '시너지 효과(Synergetic effect)'라고 부른다.
- 이러한 시너지 덕분에 RIE는 고온의 열을 가하지 않고도 화학 반응의 방아쇠를 당길 수 있으며, 이온의 수직적 직진성을 이용해 깊은 구조를 뚫어내는 이방성(Anisotropic) 식각을 구현한다.



(a) Radical의 등방성, (b) Ion의 이방성

2. RIE의 물리화학적 한계**:** 라디칼과 이온의 성질적 모순

3D NAND와 같이 종횡비(Aspect Ratio, AR)가 40~100 이상으로 극단적으로 높아지는 구조에서는, RIE를 구동하는 핵심 주체인 라디칼과 이온의 본질적인 물리적 성질 자체가 공정의 한계를 유발한다.

2-1. 라디칼의 성질과 물질 수송 한계 **(Transport Limitation)**

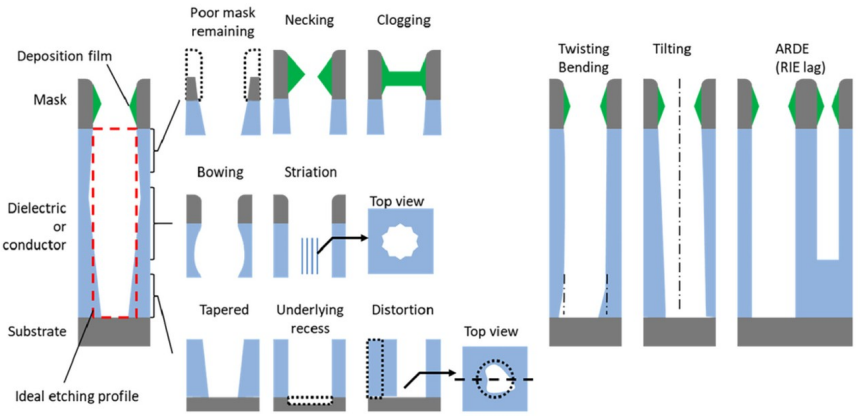
- 플라즈마에서 생성된 라디칼은 전하를 띠지 않은 중성 상태이므로 전기장의 영향을 받지 않고 속도 공간에서 넓은 각도 분포(무작위 방향성)를 가지며 확산한다.
- 라디칼은 반응성이 극도로 높기 때문에(높은 표면 반응 확률), 깊고 좁은 구멍 내부로 진입할 때 바닥에 도달하기도 전에 측벽과 충돌하여 반응해 버리거나 스스로 재결합(Surface recombination)하여 소멸된다.

주제 2: 극저온 식각

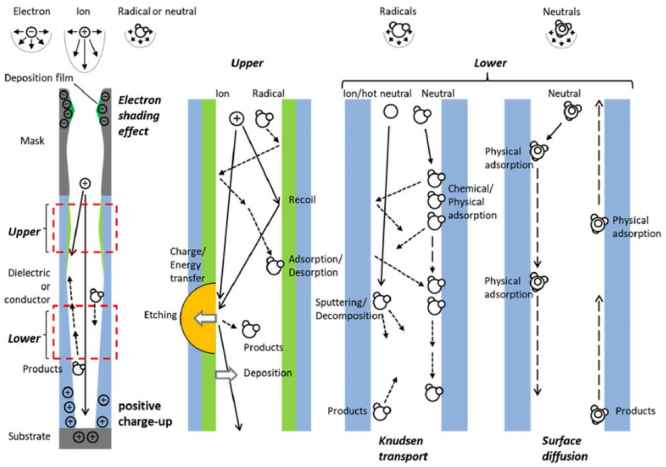
- 결과적으로 구멍이 깊어질수록 바닥면에는 화학 반응을 일으킬 라디칼이 극심하게 부족해지며, 이는 식각 속도가 깊이에 따라 기하급수적으로 감소하는 **ARDE(Aspect Ratio Dependent Etching)** 현상의 근본 원인이 된다.

2-2 딜레마**: Clogging**과 **Bowing**의 모순

- 상온의 열에너지 하에서는 플라즈마에서 해리된 불소 라디칼(F*)이 이온 타격 없이도 측벽의 결합을 끊고 자발적인 등방성 식각**(Bowing)**을 유발할 수 있다.
- 이를 억제하기 위해 기존 공정은 측벽에 두꺼운 탄소 중합체**(Fluorocarbon polymer)**를 물리적인 방어막으로 지속적으로 덮어주어야 한다.
- 그러나 이 폴리머 방어막은 입구를 좁아지게 만드는 **Clogging** 현상을 유발하며, 식각 부산물이 빠져나가는 것을 가로막아 반응의 물질 수송(Transport Limitation)을 완전히 억제하는 근본적인 모순을 발생시킨다.



주제 2: 극저온 식각



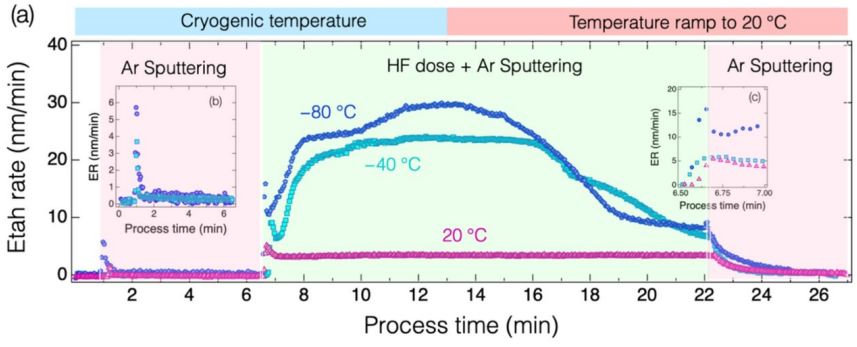
<극저온 식각의 **High-ER(Etch Rate)** 및 **RIE**의 문제점 해결 메커니즘>

1. 극저온 식각**(Cryogenic Etching)**의 기본 원리

극저온 식각은 기판의 온도를 영하 60도 이하의 극저온으로 냉각하여 식각을 진행하는 방식이다. 이 공정은 단순히 온도를 낮추는 것에 그치지 않고, 저온에서 발생하는 '물리 흡착(Physisorption)'과 '표면 확산'이라는 독특한 표면 반응을 활용하여 기존 상온 공정에서는 불가능했던 동역학적 경로를 생성한다.

2. 식각 속도**(ER)** 폭증의 학술적 근거와 데이터 분석

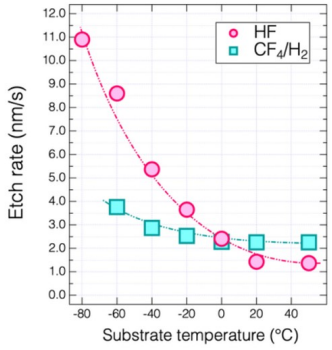
본 논문은 극저온 HF 공정에서 식각 속도가 비약적으로 상승하는 원인을 '유사 습식**(Pseudo-wet)**' 메커니즘과 '자가 촉매**(Autocatalysis)**' 반응으로 설명한다.



위 그래프는 두 가지 변수, 온도와 sputtering 분위기를 통제하여 얻은 시간당 ER(Etch rate) 그래프이다. Etching 초기, 극저온에서 수행한 Ar sputtering에서는 식각이 거의 진행되지 않은 것을 확인 할 수 있다. 이후 극저온 온도에서 HF를 주입한 결과 ER이 눈에 띄게 향상되어 -80도의 경우 30nm/min까지 ER이 향상되었음을 확인하였다. 이후 온도를 상온으로 올리자 ER은 감소하여 Ar sputtering에서의 값으로 수렴하였다. 이는 H2O와

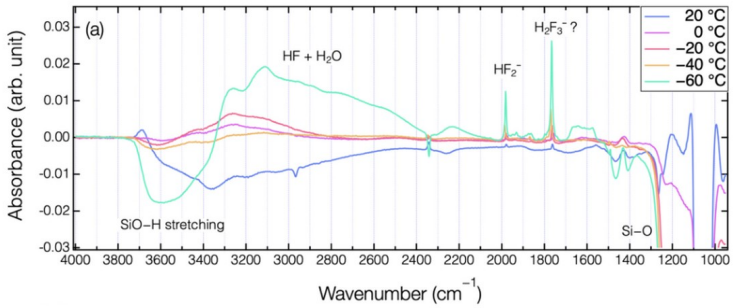
주제 2: 극저온 식각

HF 반응의 존재가 극저온 환경에서의 ER을 크게 개선하였음을 시사한다. 아래의 그래프는 HF 가스를 식각에서의 ER이 CF4를 사용한 식각에서 보다 폭증했음을 보여준다(특히 극저온 구간에서). 이는 H2O 생성 유무의 차이이다.



결론적으로 해당 논문에서는 SiO2에서 떨어져 나온 산소와 HF 가스에서의 H가 만나 형성된 물이 유사습식 메커니즘을 통해 자가 촉매 반응을 일으킨다 주장한다. 이에 대한 근거는 아래의 연구 결과로 설명된다.

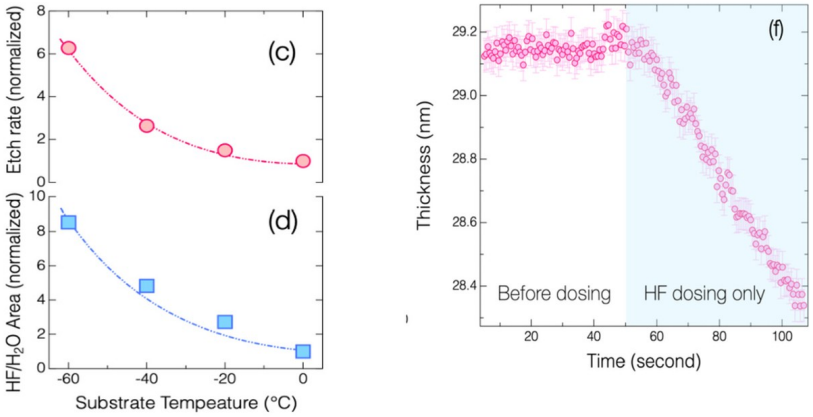
2-1 활성화 에너지의 붕괴 **(Figure 3** 데이터**)**



해당 그래프를 간단히 요약하자면 0.00의 흡수도를 기준으로 위에 있는 입자들은 표면에 쌓인 것이고 아래에 있는 입자들은 식각된 것이다.

- Figure 3(a)의 in situ FTIR 데이터를 보면, -60도 조건에서 **HF**와 **H_2O**가 표면에 공동 흡착**(Co-adsorption)**되어 거대한 수소 결합 네트워크를 형성함을 알 수 있다.
- 이 '유사 습식' 층은 SiO_2 격자 결합을 극도로 약화시켜 화학 반응에 필요한 활성화 에너지 장벽을 거의 0에 가깝게 소멸시킨다.

주제 2: 극저온 식각

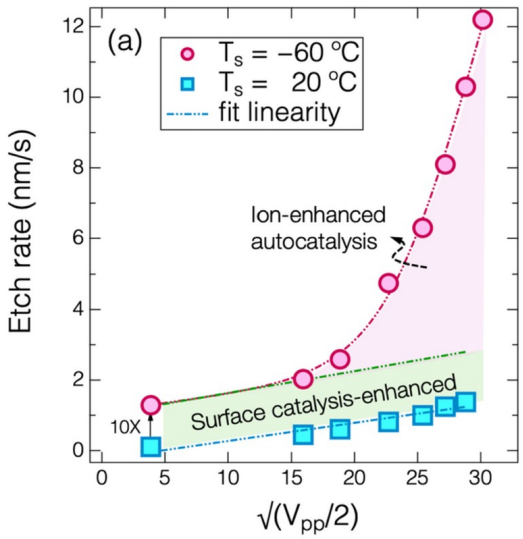


- 또한 c,d의 그래프를 보면 HF/H2O의 면적과 ER의 거동이 일치하는 것을 확인할 수 있다.
- H2O가 극저온에서의 ER을 향상시킨다는 증거로 Figure 3(f)에서는 플라즈마 방전 없이 단순히 HF 가스만 주입(Dosing)했을 때도 SiO_2 막질이 스스로 깎여나가는 '자발적 식각' 현상이 관찰된다. 해당 데이터는 플라즈마 전압을 인가하지 않고 오직 가스만을 주입하여 실험한 데이터이다. 그래프를 보면 HF를 주입 하자 표면에서 이온의 타격 없이 식각이 일어나는 것을 확인할 수 있다. 이는 극저온 표면 조건이 화학 반응의 열역학적 장벽을 완전히 무너뜨렸음을 의미한다.

2-2 지수함수적 반응 동역학 **(Figure 4** 데이터**):**

- Figure 4(a)는 이 공정의 가장 혁신적인 데이터를 보여준다. 상온(20도)에서는 이온 에너지($\sqrt{V_{pp}/2}$)가 증가함에 따라 식각 속도가 선형(Linear)으로 증가하지만, 극저온(-60도)에서는 지수함수적**(Exponential)**으로 폭증한다.

주제 2: 극저온 식각



그래프 축의 물리적 의미:

- X축($\sqrt{V_{pp}/2}$)은 플라즈마 내 이온이 기판 표면을 타격할 때 전달하는 물리적인 운동 에너지(Kinetic Energy)의 척도이다. X축 값이 커질수록 이온이 기판을 더 강하게 내리찍음을 의미한다.
- Y축은 단위 시간당 SiO2 막이 깎여나가는 식각 속도(Etch Rate)를 나타낸다.

상온 데이터 분석: 고전적 충돌 이론의 선형성

- 상온 환경(파란색 네모)에서 식각 속도는 이온 에너지에 정비례하여 선형적(Linear)으로 완만하게 증가한다.
- 이는 고전 물리학의 '충돌-연쇄 모델(Collision-cascade model)'을 정확히 따르는 결과이다. 이온이 가진 운동 에너지($\sqrt{V_{pp}/2}$)만큼만 정직하게 SiO2 결합을 끊어내므로, 에너지를 높인 비율에 맞추어 식각 속도가 선형적으로 증가한다.

극저온 데이터 분석: 가설의 파괴와 지수함수적 폭발

- 온도를 -60도로 내렸을 때(빨간색 동그라미), 식각 속도 곡선은 선형성을 완전히 벗어나 위로 솟구치는 지수함수적(Exponential) 형태로 변모한다.
- SiO2 내부의 Si-O 결합 에너지는 온도를 내렸다고 해서 변하지 않는다. 물리적 타격 메커니즘이 동일하다면 속도가 빨라지더라도 그 증가 추세는 상온과 똑같이 선형을 유지해야만 한다. 그래프에 희미하게 표시된 점선(fit linearity)이 기존 이론이 예측한 평행 이동 선이다.
- 실제 데이터가 이 점선을 뚫고 지수함수적으로 폭증했다는 것은, 이온의 물리적 타격과 표면 화학 반응 사이에 단순한 덧셈을 넘어서는 새로운 곱셈형 연쇄 반응이 개입했음을 수학적으로 증명한다.

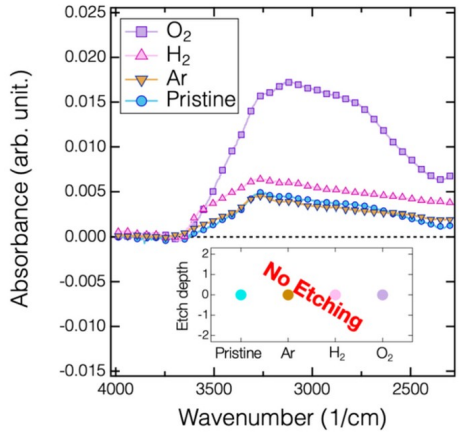
속도 폭증의 분자 단위 메커니즘: 자가 촉매(**Autocatalysis**) 연쇄 반응

주제 2: 극저온 식각

- 그래프가 지수함수적으로 폭발하는 근본적인 이유는 식각 부산물인 **H2O**의 재흡착**(Re-adsorption)** 메커니즘에 있다.
- 바이어스 전압을 높이면 이온이 바닥을 강하게 타격하여 깎여나가는 SiO2의 양이 늘어난다. 화학 반응식에 따라, 깎인 양에 비례하여 부산물인 물 분자가 대량으로 발생한다.
- 극저온 환경이므로 이 물 분자들은 증발하지 않고 차가운 표면에 즉각적으로 다시 얼어붙는다. 표면에 쌓인 물은 강력한 촉매(Autocatalyst)로 작용하여, 진공 중의 반응물인 HF 가스를 표면으로 폭발적으로 끌어당긴다.
- 결과적으로 '이온 타격 증가, 물 생성량 증가, 물이 더 많은 HF 흡착 유도, 깎이는 속도 재차 폭증'이라는 양성 피드백 루프(Positive Feedback Loop)가 형성된다.
- 이는 고전적인 화학적 이온 스퍼터링이 극저온 표면에서 '자가 촉매 연쇄 반응'으로 동역학적 전이를 일으켰음을 보여주는 완벽한 증거이다.

2-3. 폴리머가 필요 없는 측벽 자가 보호의 증명 **(Figure 5)**

기존 RIE 공정에서는 측벽이 깎이는 것을 막기 위해 억지로 탄소 폴리머(Polymer)를 덮어야 했으나, 극저온 HF 식각에서는 그럴 필요가 없다는 사실이 Figure 5의 대조군 실험 데이터를 통해 명백히 증명된다.



측벽 환경의 모사 **(**저에너지 이온 충돌**):** 깊고 좁은 구조물 내부의 측벽은 수직으로 내리꽂히는 바닥면과 달리, 궤적이 휘어진 산란 이온들이 표면을 스치듯 때리는 빗각 충돌(Grazing incidence)을 겪는다. 따라서 측벽에 전달되는 이온의 실질적인 유효 충돌 에너지는 매우 낮다.

Figure 5의 **'No Etching'** 결과**:**

Figure 5의 내부 삽입 그래프(Inset)는 수분이 배제된 무수(Anhydrous) 기판을 -60도로 얼리고 HF 가스를 흡착시킨 뒤, 측벽의 환경과 유사하게 23 eV의 매우 낮은 에너지(Ar 플라즈마)를 가한 실험 결과를 보여준다. 실험 결과, 식각 깊이는 **'0 (No Etching)', 즉 단 1**나노미터도 깎이지 않았다.

동역학적 원인 **(**기화 현상**):**

주제 2: 극저온 식각

- 단단한 Si-O 결합 에너지(~4.1 eV)나 H-F 결합 에너지(~6.0 eV)에 비해, 극저온 표면에 HF 분자가 살짝 얹혀 있는 물리 흡착 에너지는 ~0.5 eV 수준으로 형편없이 낮다.
- 즉, 측벽을 때리는 산란 이온들(저에너지 이온)은 에너지가 너무 약해 단단한 SiO2 격자를 끊어내는 화학 반응의 방아쇠를 당기지 못한다. 오히려 그 미세한 충격이 측벽에 붙어 촉매 역할을 하려던 HF 분자들만 허공으로 증발(Vaporize)시켜 털어내 버리게 된다.

결론: 이 실험은 억지로 폴리머를 발라 물리적으로 막지 않더라도, '측벽에 도달하는 이온의 낮은 에너지'와 '표면 흡착 분자들의 기화(Vaporization) 현상'이 결합하여 측벽에서의 화학 반응이 스스로 완벽히 차단됨(자가 보호)을 학술적으로 증명한다.

3. 기존 RIE(CFx 가스) 대비 HF 도입 및 극저온 환경의 차별점

기존의 CFx 기반 상온 RIE와 본 논문에서 제안한 극저온 HF 공정은 '측벽 보호'와 '물질 수송' 방식에서 근본적인 차이를 보인다.

물리적 차단(CFx) vs 열역학적 동결(HF):

- 기존 RIE는 측벽을 보호하기 위해 탄소 중합체(Fluorocarbon polymer)를 물리적인 방어막으로 사용한다. 이 방식은 필수적으로 입구가 막히는 Clogging 현상을 수반한다.
- 반면, 순수 HF 공정은 탄소(C)가 없어 폴리머를 전혀 형성하지 않는다. 대신 영하 $60^\circ C$라는 온도를 이용해 측벽의 자발적 반응 속도를 아레니우스 법칙에 따라 물리적으로 동결(Frozen)시킨다. 이로 인해 별도의 보호막 없이도 완벽한 이방성을 확보할 수 있다.

환경적 요인: 기존 CFx 가스는 지구 온난화 지수(GWP)가 매우 높지만, HF 가스는 이러한 환경적 부담에서 자유로워 지속 가능한 반도체 제조 공정을 가능케 한다.

4. RIE의 고질적 문제 해결

- **ARDE(Aspect Ratio Dependent Etching)** 해결: 종횡비가 높아져 바닥에 도달하는 이온과 가스량이 줄어들더라도, 앞서 언급한 지수함수적인 반응 효율 보상 효과 덕분에 깊은 곳에서도 높은 식각 속도를 유지할 수 있다.
- **Clogging** 및 **Transport Limitation** 해결: 폴리머 방어막을 쓰지 않는 Zero-polymer 공정이므로 입구가 좁아지지 않으며, 분자량이 작은 HF 가스가 좁고 깊은 구멍 내부로 자유롭게 확산되어 물질 수송의 한계를 극복한다.
- **Bowing** 방지: 상온에서 반응성이 높은 라디칼과 달리, HF 분자는 극저온 측벽에서 열역학적으로 비활성화된 상태를 유지하므로 측벽이 파먹히는 Bowing 현상을 근본적으로 차단한다.

주제 3: AS-ALD

기존 **ALD**의 한계

- 3D NAND에서 10nm 이하의 극도로 좁은 공간에서 증착을 하고, 식각을 하는 과정에서 한계 직면

- 정렬 오차(EPE, Edge Placement Error): 수십 번의 포토 공정을 고치면서 mask를 정확한 위치에 정렬하는 것의 물리적인 한계에 도달

- 기존에는 특정 부위만 패턴을 만들기 위해서는 기존의 8대 공정에서 포토 공정 -> 식각 공정 -> 증착 공정을 통해서 wafer 위에 하나의 층을 형성한 후에, 다시 증착 -> 포토 -> 식각을 통해서 원하는 구조와 두께를 만드는 방식으로 시간이 오래 걸리고 비용이 높음

- 기존의 ALD는 너무 잘 증착되어서 원하지 않는 부분까지 증착하기에 공정에 들어가는 비용과 시간이 많이 필요함

SOLUTION: AS-ALD를 통해서 가스 분자 스스로 성장해야 할 곳과 성장하지 않아야 할 영역을 구분하는 즉, **mask** 없이도 오차 없이 정렬되는 방법

AS-ALD (Area Selective – Atomic Layer Deposition)

AS-ALD의 핵심**: Inhibitor**를 사용해서 분자 스스로가 붙어야 할 영역과 붙지 않아야 할 영역을 구분하는 것

Inhibitor의 종류

1) SAM(Self–Assembled Monolaters): 표면을 –CH3으로 만들어서 비활성 상태로 만드는 억제제

방어력이 우수하지만 분자의 사슬이 길어서 3D NAND의 나노미터 단위의 밑바닥까지 온전히 도달하기에는 어렵고 고온에 약하다.

2) SMI(Small Molecule Inhibitors): 작은 분자 흡착으로 차단하는 억제제

입자가 작아서 좁은 내부까지도 잘 침투해서 방어할 수 있다. 그래서 양산 기술에서는 더 많이 사용한다.

precursor의 역할**:** 기존 **ALD**에서는 **precursor**의 높은 반응성과 빠른 성장 속도가 중요했지만**, AS-ALD**에서는 원하는 영역에서만 반응하고 **inhibitor**가 형성된 영역에서는 반응하지 않는 특성이 더욱 중요하다**.**

1)TMA

대표적으로 많이 사용되는 TMA ($Al(CH_3)_3$)는 AS-ALD 환경에서 SAM과 함께 사용하기 어려운 전구체로 알려져 있다. 분자 크기가 매우 작고 반응성이 매우 강하기 때문이다.

실제로 TMA를 SAM과 함께 사용할 경우 수십 cycle 이후부터 TMA가 SAM 표면에 점차 흡착되기 시작하며 결과적으로 원하지 않는 영역에서도 증착이 발생하게 된다.

초기에는 높은 선택성을 보이지만 공정이 반복될수록 selectivity loss가 발생한다.

2)TEA

TEA는 Al(C2H5)3로 더 긴 carbon chain, 더 큰 molecular size 특징이 있어 SAM 사이의 틈을 침투하기 어려워 선택적 증착 성능이 훨씬 우수하다.

주제 3: AS-ALD

AS-ALD에서 사용되는 주요 물질 및 전구체

1. Al_2O_3

Al_2O_3는 AS-ALD 연구에서 가장 대표적으로 사용되는 물질이다. 주로 사용하는 전구체는 TMA($Al(CH_3)_3$)와 TEA($Al(C_2H_5)_3$)이다.

Al_2O_3는 ALD 반응 메커니즘이 비교적 단순하고, Self-limiting reaction 특성이 명확하며, 균일한 박막 형성이 쉽기 때문에 AS-ALD 선택성 연구의 기준 material처럼 사용된다.

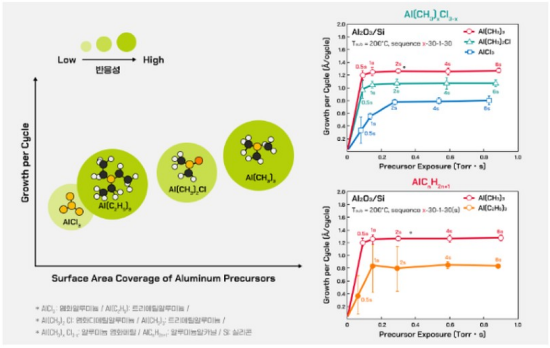
2. HfO_2

HfO_2는 대표적인 high-k dielectric 물질로 사용된다. 기존 SiO_2 대비 높은 유전율을 가지기 때문에 leakage current를 줄일 수 있어 advanced logic 및 차세대 NAND 공정에서 매우 중요하게 사용된다. 주요 전구체로는 $HfCl_4$, TEMAH, TDMAH 등이 사용된다.

특히 HfO_2는 gate dielectric이나 ultra-thin insulating layer 형성에 사용되며, 수 nm 이하 수준의 매우 얇은 막 두께 제어가 필요하기 때문에 ALD 공정이 핵심적으로 활용된다.

다만 Hf 계열 전구체는 반응성이 강하고 표면 chemistry가 복잡하여 AS-ALD에서 선택성을 안정적으로 유지하는 것이 어려운 편이다.

최근 연구내용(하이닉스 뉴스룸)



AS-ALD에서는 단순히 반응성이 높은 precursor가 좋은 것이 아니라, 얼마나 선택적으로 반응하는가, inhibitor(SAM) 틈을 침투하는가, 원하지 않는 영역에서 nucleation이 발생하는가가 훨씬 중요하다.

X축: Surface Area Coverage of Aluminum Precursors

전구체 하나가 표면에서 차지하는 면적을 의미한다. 오른쪽으로 갈수록 분자 크기 증가하고 더 넓은 면적 차지하며 steric hindrance 증가를 의미한다. 이는 SAM 사이 틈 침투가 어려워진다.

Y축: Growth per Cycle

ALD cycle당 성장량으로 반응성이 높을수록 growth per cycle이 증가한다.

<오른쪽 그래프>

$Al(CH_3)xCl_{3-x}$ 계열 비교

영소(Cl)와 메틸기(CH_3)의 비율 변화에 따른 성장 특성을 비교한 것이다.

CH_3 ligand 수가 증가할수록, 반응성이 증가하고 nucleation이 빨라진다.

주제 3: AS-ALD

TMA와 TEA비교

그래프를 보면 TMA($Al(CH_3)_3$)는 precursor exposure가 증가할수록 growth per cycle이 빠르게 증가하며 높은 성장률을 나타낸다. 이는 TMA가 매우 높은 반응성을 가지기 때문이다. 반면 TEA($Al(C_2H_5)_3$)는 전체적인 성장률은 더 낮지만, 더 큰 분자 크기와 긴 탄소 사슬 구조로 인해 SAM 사이의 틈을 침투하기 어려워 선택적 증착 특성이 더 우수하게 나타난다. 즉, TMA는 높은 성장 속도를 가지지만 selectivity 유지에는 불리하고, TEA는 성장 속도는 상대적으로 낮지만 AS-ALD 환경에서는 더 안정적인 selective deposition 특성을 보인다.

Table 1. Summary of Growth Characteristics of Al Precursors and Film Properties of Al_2O_3

	$Al(CH_3)_3$	$Al(CH_3)_2Cl$	$AlCl_3$	$Al(C_2H_5)_3$
GPC (Å/cycle)	1.24	1.05	0.75	0.80
projected area ($Å^2$)	31.36	32.10	32.46	46.67
experimental coverage (%)	32.4	27.2	19.4	20.7
theoretical coverage (%)	20.8–32.6	20.1–29.1	19.2–29.1	15.0–20.5
ALD window (°C)	50–250	100–250	150–250	50–200
activation energy (kJ/mol)	70 (for $-CH_3$)	88 (for $-CH_3$)	128 (for $-Cl$)	67 (for C_2H_5)
GPC at LT	↑	↑↑	↑↑↑↑	
intermediate state (kJ/mol)	−91	−105	−253	−110
purity of Al_2O_3 films (%)	C < 1	Cl < 1.5, C < 1	Cl < 1	C < 1

Al Precursor 특성 비교

Table 1은 다양한 Al precursor의 반응 특성과 Al_2O_3 박막 성장 특성을 비교한 표로, AS-ALD에서 전구체의 화학적 특성과 분자 크기가 선택성(selectivity)에 어떤 영향을 주는지를 보여준다.

1. GPC (Growth per Cycle)

- TMA($Al(CH_3)_3$)는 1.24 Å/cycle로 가장 높은 성장률을 나타낸다.
- 이는 TMA가 매우 높은 반응성을 가지기 때문이다.
- 따라서 일반적인 ALD 공정에서는 빠른 nucleation과 높은 증착 효율을 제공한다.

반면:

- TEA($Al(C_2H_5)_3$)는 0.80 Å/cycle로 상대적으로 낮은 성장률을 가진다.
- 이는 더 긴 탄소 사슬 구조와 큰 분자 크기로 인해 표면 반응 속도가 상대적으로 느리기 때문이다.

즉:

- TMA → 높은 반응성, 빠른 성장
- TEA → 느린 성장 but 높은 선택성

특징을 가진다.

2. Projected Area (분자 크기)

- TEA는 46.67 Å²로 가장 큰 projected area를 가진다.

주제 3: AS-ALD

- 반면 TMA는 31.36 Å² 수준으로 상대적으로 작은 분자 크기를 가진다.

AS-ALD에서는:

- SAM(Self-Assembled Monolayer)과 같은 inhibitor가 표면을 차단하지만,
- inhibitor 사이에는 nano-scale 수준의 작은 틈이 존재한다.

TMA의 경우

- 분자 크기가 작고 반응성이 강하기 때문에
- inhibitor 사이 틈을 침투할 가능성이 높다.
- 결과적으로 원하지 않는 영역에서도 nucleation이 발생할 수 있다.

TEA의 경우

- 더 긴 탄소 사슬 구조
- 더 큰 molecular size
- 높은 steric hindrance

를 가지기 때문에 inhibitor 사이의 틈을 침투하기 어렵다.

TEA가 더 우수한 selective deposition 특성을 나타낸다.

3. Activation Energy

- $AlCl_3$는 가장 높은 activation energy를 가진다.
- 이는 표면 반응을 위해 더 높은 에너지가 필요하다는 의미이다.

반면:

- TMA와 TEA는 상대적으로 낮은 activation energy를 가지기 때문에
- 비교적 쉽게 표면 반응이 진행된다.

하지만 AS-ALD에서는 단순히 반응성이 높은 것이 중요한 것이 아니라, 얼마나 선택성을 유지할 수 있는지가 더 중요하다.

- TMA는 높은 반응성과 성장률을 가지지만
- 공정 cycle이 반복될수록 SAM 표면에 점차 흡착이 발생하여
- selectivity loss가 나타날 수 있다.