

스터디 운영 및 학습 결과보고서

공정팀: 현준형, 김나영, 윤병준, 이예성, 강정우, 이은서

스터디 목표

반도체 8대 주요 공정별 근본 원리, 핵심 공정 기술, 차세대 공정 기술을 나누어 학습
공정별 핵심 변수와 대표 결함을 분석하고, 결함이 소자 특성 및 수율에 미치는 영향
이해

진행 방식

인원 및 일시: 매 회차 6명 규모, 매주 정해진 시간(목요일 6시)에 토론 및 발표 진행
방식: 공정별 다룰 핵심 기술을 도출하고 세부 파트를 나누어 발표 후 질의응답 진행
자료 활용: 최신 반도체 기사, 기업 기술 블로그, 학회 논문 및 스터디 학습 일지 활용
진행 흐름: 최신 공정 이슈 도출 → 공정 원리 및 변수 학습 → 결함 원인 분석 및 수율
영향 파악

주차별 주제

- 1 주차: 반도체 최신 트렌드를 회사별로 분석
- 2 주차: 전반부 공정(포토, 산화, 소자분리) 및 중반부 공정(식각, 이온주입)의 원리
분석
- 3 주차: 후반부 공정(증착, 금속배선), 후공정(EDS, 패키징)의 원리 분석
- 4 주차: 2 주차-3 주차 발표를 토대로, 더 알고보고 싶은 공정 단계 한 가지를 선정해
분석
- 5 주차: 전반부 공정(포토, 산화, 소자분리), 중반부 공정(식각, 이온주입) 결함 원리 및
해결책 분석
- 6 주차: 후반부 공정(증착, 금속배선), 후공정(EDS, 패키징)의 결함 원리 및 해결책
분석

학습 Reflection

반도체 8대 공정의 주요 결함과 원인을 분석하는 과정에서 전문 학술 문헌 접근에

한계가 있었음.

비공식 웹 자료(블로그 등)를 참고해 직관적 이해를 도왔으나, 결과적으로 보고서의 학술적 신뢰성과 엄밀성이 저하되었다는 아쉬움이 남음. 향후 심화 학습 시에는 KCI, DBpia 등 검증된 학술 DB를 적극 활용하여 근거 자료의 신뢰성을 높이고자 함.

작아질수록 커지는 리스크: 포토 및 식각 공정 결합

1. 포토(Photo) 공정: 패턴 붕괴 및 CD 불균일

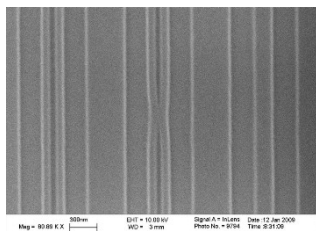
초미세화로 인해 패턴의 종횡비(Aspect Ratio)가 급증하면서, 현상 후 린스·건조 과정에서 액체의 표면장력으로 인해 PR 기둥이 쓰러지는 패턴 붕괴(Pattern Collapse)가 발생합니다. 이는 회로의 단락(Short) 및 단선(Open)을 유발하는 치명적 결함입니다. 또한 노광 Dose 및 Focus 의 미세한 척도 변화, 웨이퍼 엣지의 열 손실 등으로 인해 선폭이 목표치와 달라지는 CD 불균일(Critical Dimension Non-Uniformity) 문제도 심화되고 있습니다. 특히 EUV 노광에서는 광자 수가 적어 발생하는 랜덤 결함(Stochastic Defect)이 새로운 난제로 떠올랐습니다.

→ 해결 방안: 표면장력을 극소화하기 위해 물 대신 IPA 를 사용하거나, 기-액 경계면이 없는 초임계 CO2 건조 기술을 도입합니다. CD 불균일 극복을 위해 AI 기반의 OPC(광학 근접 보정) 및 SMO 기술로 마스크 패턴을 사전 왜곡시켜 빛의 회절을 상쇄합니다.

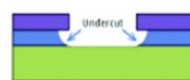
2. 식각(Etch) 공정: Undercut 및 Plasma Induced Damage

식각 공정에서는 화학적 반응과 물리적 이온 충돌의 균형이 무너질 때 형상 결함이 발생합니다. 대표적으로 등방성 식각 특성으로 인해 마스크 아래쪽 측면이 파이는 Undercut 현상이 있으며, 이는 미세 패턴의 붕괴와 소자 산포를 유발합니다. 더불어 식각 속도를 높이기 위해 플라즈마 에너지를 올릴 경우, 고에너지 이온과 전자가 기판에 직접 충돌하여 산화막이나 계면에 Trap 을 형성하는 Plasma Induced Damage(PID)가 발생합니다. 이는 누설 전류 증가와 문턱 전압(V_{th}) 이동 등 신뢰성 저하로 직결됩니다.

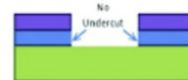
→ 해결 방안: 측면 식각을 억제하기 위해 이온을 수직으로 가속하는 비등방성 Dry Etch 를 적용하고, PR 대신 식각 저항성이 높은 Hard Mask(SiO_2 , SiN)를 사용합니다. PID 최소화를 위해 저에너지 펄스(Pulsed) 플라즈마 제어 기술을 활용합니다.



Mag = 5000 X 300um
Dist = 10.00mm
WD = 3.0mm
Signal A+ B+ C+
Photo: 12 Jan 2009
Time: 8:21:05



Isotropic: etches equally in all directions



Anisotropic: etches at different rates in different directions

1. 좁고 높은 PR 기둥들이 현상 후 린스액의 표면장력을 버티지 못하고 서로 달라붙거나 쓰러진 패턴 붕괴(Pattern Collapse) 현상
2. 등방성 식각 특성으로 인해 마스크 아래쪽 측면이 파고들어 가는 언더컷(Undercut) 결함

기판의 기초를 다지다: 산화 및 소자 분리 공정 결합

3. 산화(Oxidation) 공정: 땀글링 본드 (Dangling Bond)

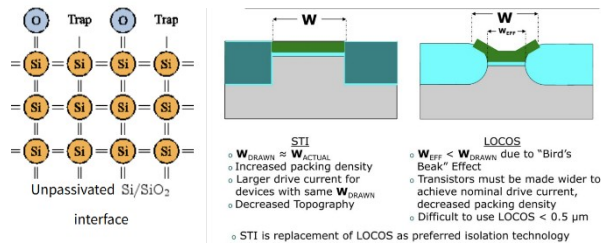
산화 공정 중 실리콘(Si) 기판과 성장한 산화막(SiO_2) 사이에는 격자 구조와 부피 팽창률의 차이로 인해 구조적 불일치가 발생합니다. 이 과정에서 일부 Si 원자가 산소와 결합하지 못하고 남는 땀글링 본드(미결합 전자 상태)가 계면 결함으로 남게 됩니다. 이러한 계면 결함은 밴드갭 내에 트랩(Trap) 준위를 형성하여, 소스에서 드레인으로 이동하는 전자를 포획합니다. 결과적으로 캐리어의 이동도(Mobility)가 크게 저하되고, 소자를 켜기 위해 더 높은 전압이 필요해지는 문턱 전압(V_{th}) 상승 문제를 야기합니다.

→ 해결 방안: 산화 공정 후 웨이퍼를 고온의 수소(H_2) 기체 환경에 노출시키는 수소 열처리(Forming Gas Anneal)를 진행합니다. 침투한 수소가 미결합 Si와 반응하여 안정적인 Si-H 결합을 형성함으로써 계면 트랩을 무력화시킵니다.

4. 소자 분리(Isolation) 공정: Bird's Beak 현상과 STI 전환

초기 반도체에서는 질화막을 마스크로 사용하여 열산화를 진행하는 LOCOS 방식을 사용했습니다. 그러나 산화 가스가 질화막 아래 측면으로 파고들며 산화막이 새 부리 모양으로 들리는 Bird's Beak 현상이 발생했습니다. 이는 활성 영역(Active Area)을 잠식하여 칩의 집적도를 떨어뜨리고 누설 전류를 유발하는 원인이 되었습니다.

→ 해결 방안: 미세화 한계를 극복하기 위해 물리적으로 실리콘 기판을 수직으로 얇게 파낸 뒤, CVD 공정을 통해 절연막(산화막)을 채워 넣고 CMP로 평탄화하는 STI(Shallow Trench Isolation) 공정이 표준으로 자리 잡았습니다. STI는 가스의 측면 침투 구조가 아니므로 Bird's Beak이 발생하지 않아 고집적 회로 구현에 필수적입니다.



3. 격자 구조 차이로 인해 계면에서 산소와 결합하지 못하고 남은 땀글링 본드
4. 활성 영역을 잠식하는 LOCOS 방식의 '새 부리(Bird's Beak)' 현상과, 이를 수직 식각으로 해결한 최신 STI 공정의 단면 구조 비교

물질을 채우고 주입하다: 증착 및 이온 주입 공정 결합

5. 증착(Deposition)공정: Step Coverage 불량 및 박막 결합

소자가 미세화되고 3D 구조(FinFET, GAA, 3D NAND 등)로 발전함에 따라, 깊고 좁은 트렌치나 홀 내부에 균일하게 박막을 도포하는 것이 매우 어려워졌습니다. 입구가 먼저 막혀버리는 Overhang 현상과 내부에 빈 공간이 남는 Void 결함이 대표적이며, 이는 배선 저항 급증과 소자 단락을 유발합니다. 또한 박막과 기판의 열팽창계수(CTE) 차이로 인한 응력(Stress)은 박막에 미세한 Crack 을 발생시킵니다.

→ 해결 방안: 직진성이 강한 PVD 의 한계를 넘어 원자층 단위로 정밀하게 증착하여 100%에 가까운 Step Coverage 를 구현하는 ALD(Atomic Layer Deposition) 공정이 핵심으로 사용됩니다. 또한, 불활성 가스를 이용한 Purge Time 최적화로 잔류 전구체를 완벽히 제거하여 박막의 순도를 높입니다.

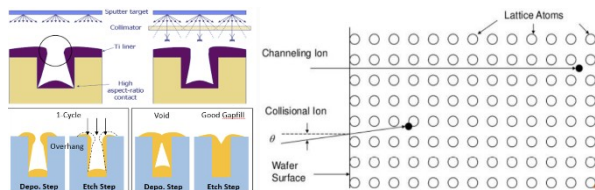
6. 이온 주입(Ion Implantation) 공정: 채널링 효과(Channeling Effect)

이온 주입 시 실리콘 결정 격자의 빈 공간(채널)과 이온의 입사 방향이 일치할 경우, 이온이 Si 원자와 충돌하지 않고 설계된 목표 깊이보다 훨씬 깊숙이 침투해버리는 채널링 효과가 발생합니다. 소자가 미세화될수록 얇은 접합(Shallow Junction) 형성이 필수적인데, 채널링 현상은 도핑 깊이 제어를 실패하게 만들어 펀치스루(Punch-through) 현상 등 치명적인 동작 불량을 일으킵니다.

해결 방안:

→ Wafer Tilting: 웨이퍼를 약 7 도 정도 기울여 이온이 결정 구조에 비스듬히 입사하도록 하여 강제 충돌을 유도합니다.

→ PAI (Pre-Amorphization Implant): 도핑 전 전기적 영향이 없는 무거운 이온 (Ge 등)을 쏘 표면의 결정 구조를 일시적으로 파괴(비정질화)하여 채널 자체를 없애는 방식을 적용합니다.



5. 좁은 트렌치 입구에 물질이 먼저 쌓이는 오버행(Overhang)과 그로 인해 내부에 채워지지 않은 빈 공간(Void)이 발생한 증착 불량 현상
6. 이온이 실리콘 결정 격자의 빈 공간을 따라 비정상적으로 깊게 침투하는 채널링 현상과 이를 막기 위한 틸팅(Tilting) 원리

신호의 고속도로를 뚫다: 금속 배선 공정 (Metallization)

7. 금속 배선 신뢰성 저하: Electromigration (EM) 불량

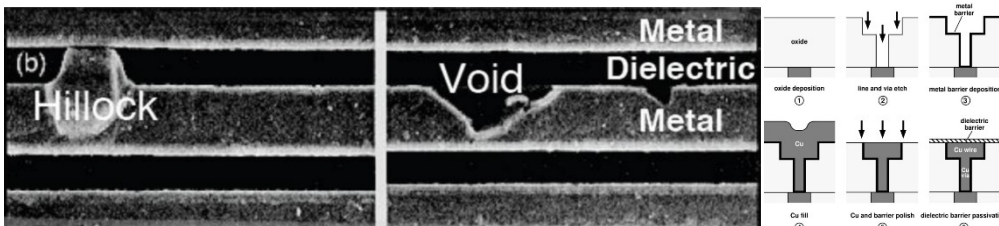
반도체 칩이 고성능화되면서 매우 좁은 배선에 높은 밀도의 전류가 지속적으로 흐르게 됩니다. 이때 이동하는 전자의 운동량이 금속 원자(특히 알루미늄)에 전달되어 원자를 물리적으로 밀어내는 Electromigration (EM) 현상이 발생합니다. 금속 원자가 빠져나간 자리는 빈 공간(Void)이 되어 단선(Open) 불량을 일으키고, 밀려난 원자들이 뭉친 돌출부(Hillock)는 인접 배선과 닿아 단락(Short) 불량을 유발하여 신뢰성을 급격히 떨어뜨립니다.

→ 해결 방안: EM에 대한 내성이 Al보다 월등히 높은 구리(Cu) 배선으로 전환합니다. 또한, Cu 원자가 절연막으로 확산되는 것을 막기 위해 Ta, TaN 기반의 방지막(Barrier Metal)을 얇고 균일하게 증착하여 배선 수명을 극대화합니다.

8. 속도 지연의 늪: RC Delay와 Damascene 공정

선폭이 좁아지고 배선 간격이 밀집되면서 배선의 저항(R)과 절연막 사이의 기생 정전용량(C)이 동시에 증가합니다. 이는 신호 전달 속도를 늦추는 RC Delay 현상을 초래하여 칩의 데이터 처리 속도 감소와 발열, 전력 소모 급증의 원인이 됩니다. 구리(Cu)는 비저항이 낮아 RC Delay를 줄이는 데 효과적이지만, 휘발성 부산물을 만들지 않아 기존 방식처럼 식각(Etch)으로 깎아내는 패턴 형성이 불가능하다는 공정상 치명적 단점이 있습니다.

→ 해결 방안: 구리를 깎는 대신, 절연막을 먼저 식각하여 배선이 들어갈 트렌치(Trench)와 비아(Via) 공간을 만든 후, 그 안에 구리를 전기도금으로 채워 넣고 남은 구리를 CMP(화학기계적 연마)로 갈아내는 Damascene (다마신) 공정을 표준으로 채택했습니다. 아울러 C 값을 낮추기 위해 유전율이 극히 낮은 Low-k 절연막 소재를 함께 적용합니다.



7. 강한 전자바람(Electron wind)에 의해 금속 원자가 밀려나며 발생한 단선(Void)과 돌출(Hillock) 결함을 보여주는 신뢰성 불량 사진
8. 구리를 직접 식각하는 대신 절연막 패턴을 먼저 형성하고 구리를 채워 넣은 뒤 평탄화하는 구리 다마신(Damascene) 공정의 단계

완벽한 출하를 위한 관문: EDS 및 패키징 공정 결합

EDS 공정: 프로브 카드 누적 하중에 의한 물리적 손상

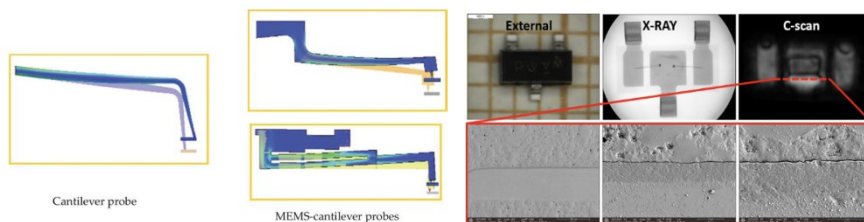
수율을 측정하고 불량 칩을 속아내는 EDS 공정에서는 웨이퍼 표면의 패드와 프로브 카드의 미세 핀들을 물리적으로 접촉시켜 전기적 특성을 검사합니다. 접촉 저항을 줄이기 위해 산화막을 뚫고 누르는 '오버 드라이브' 과정에서 수만 개의 핀 복원력이 합쳐져 웨이퍼에 수십 kg 이상의 거대 누적 하중이 가해집니다. 이로 인해 지지력이 약한 기판 중앙부가 위로 휘는 보잉(Bowing) 현상이 발생하여 정상 다이를 불량으로 오판하거나, 하중 집중으로 인해 패드가 찢어지고 칩 하부 회로에 미세 크랙이 발생해 영구 폐기되는 손상이 나타납니다.

→ 해결 방안: 기존의 기계적 조립 핀 대신, 사진 식각 공정을 활용해 3차원 구조의 프로브 핀을 일괄 형성하는 MEMS 기술을 적용합니다. 이를 통해 하중을 균일하게 분산·흡수하여 웨이퍼에 가해지는 물리적 스트레스를 최소화합니다.

패키징(Packaging) 공정: 딜라미네이션(Delamination)

후공정 패키징에서는 칩을 외부 환경으로부터 보호하기 위해 EMC(에폭시 몰딩 수지)로 밀봉합니다. 그러나 몰딩 수지가 흡수한 대기 중의 수분이 리플로우(Reflow, 260°C) 등 고온 공정에서 순간적으로 기화하며 부피가 팽창해 막대한 압력을 발생시킵니다. 이 압력과 서로 다른 재료 간의 열팽창계수(CTE) 불일치가 결합하면 EMC와 칩/기판 사이의 계면이 완전히 분리되는 딜라미네이션(박리 현상)이 발생합니다. 이는 열 방출을 차단해 Thermal Runaway를 유발하거나 외부 수분 침투로 인한 전기적 단락을 초래하는 가장 치명적인 잠재 결함입니다.

→ 해결 방안: EMC에 SiO₂ Filler 함량을 증가시켜 CTE를 칩(Si)과 유사한 수준으로 낮추고, 친수성(-OH)을 억제한 저흡습성 소재를 개발합니다. 공정 측면에서는 단계적 승온(Step Curing)을 통해 열응력을 분산시키고, 플라즈마 표면 처리로 계면 접착 에너지를 극대화하여 원천적인 박리를 차단합니다.



9. 기존의 단순한 'Cantilever probe(외팔보 형태)'와 복잡한 하중을 효과적으로 분산·흡수할 수 있도록 설계된 'MEMS-cantilever probes(3차원 구조)'의 형태와 응력(파란색/초록색 분포) 차이의 비교
10. 육안이나 일반 X-ray로는 확인이 어려운 패키징 내부의 딜라미네이션(박리) 결함을 C-scan(초음파)으로 검출하고, 실제 단면을 확대해 계면이 분리된 모습을 확인