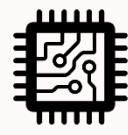


스터디 운영 및 학습 결과보고서

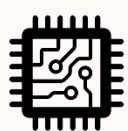
공정팀

주상민, 서효석, 이은섭, 김현수, 김태현



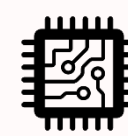
스터디 목표

- 반도체 8대 공정의 전체 흐름을 이해하고, 각 공정의 목적과 기본 원리를 학습한다.
- 공정별 주요 장비와 기술을 조사하여 실제 산업 현장에서 어떻게 활용되는지 분석한다.
- 최근 반도체 산업에서 주목받는 공정 이슈와 기술 발전 방향을 함께 파악한다.



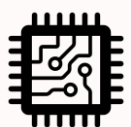
진행 방식

- 인원: 매 회차 5명 전원 참여
- 일시: 1 ~ 6회차 월요일 19:00 ~ 20:00
- 방식: 대면 스터디 / 디도 5층
- 자료 활용: 반도체 공정 관련 기사, 기업 기술 자료, 산업 이슈 자료, 전공 자료 활용
- 진행 흐름: 공정별 자료조사 및 발표 → 주요 장비·기술 분석 → 산업 이슈 정리



주차별 주제

- 1회차: 스터디 방향 설정 및 반도체 8대 공정의 전체 흐름 이해
- 2회차: 공정별 관심 분야 공유 및 향후 조사 방향 구체화
- 3회차: 웨이퍼 제조 및 산화막 증착 공정 조사
- 4회차: 포토리소그래피 및 식각 공정 조사
- 5회차: 증착 공정과 이온 주입 공정 조사
- 6회차: CMP 및 패키징 공정 조사
- 7회차: 주요 반도체 기업의 공정 기술 및 장비 경쟁력 조사



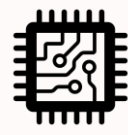
학습 Reflection

- 이번 스터디를 통해 반도체 8대 공정을 개별 공정으로만 이해하는 것이 아니라, 전체 제조 흐름 속에서 각 공정이 어떤 역할을 하는지 파악할 수 있었다. 특히 각 공정의 기본 개념뿐만 아니라 실제 산업에서 사용되는 장비와 최근 기술 이슈까지 함께 조사하면서 공정 기술의 중요성을 더 구체적으로 이해할 수 있었다.

EDS 공정

공정팀

주상민, 서효석, 이은섭, 김현수, 김태현

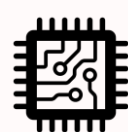


주제 1: EDS 공정 정의 및 수율 향상의 중요성

- 웨이퍼 제조 공정 완료 후 개별 칩의 전기적 기능을 검사하는 품질 보증 단계
- 패키징 공정(후공정) 진입 전 불량 칩을 사전 선별하여 불필요한 비용 절감
- 공정 상의 오류를 실시간으로 피드백하여 제조 프로세스를 개선하는 역할 수행
- 반도체 생산 효율성을 결정짓는 핵심 지표인 '수율'을 끌어올리는 필수 과정

Focus Point:

- 수율 정의: 총 생산된 칩 수 대비 실제 생산된 정상 양품 칩 수의 백분율 지표
- 비용 최적화: 불량 칩 패키징 방지를 통한 후공정 원가 누수 차단
- 피드백 루프: 검사 데이터를 기반으로 전공정 수율 저해 요인 역추적 및 개선



주제 2: EDS 전반부 핵심 공정 (ET Test & WBI)

- ET Test** (소자 특성 검증): 트랜지스터 등 개별 소자의 전기적 매개변수(**V-I** 곡선) 측정
- 공정 적합성 판별: 설계 스펙 준수 여부를 검증하여 웨이퍼의 기본 합격/불합판정
- WBI (Wafer Burn-In)**: 웨이퍼 전체에 고온 및 고전압의 한계 스트레스 환경 인가
- 잠재적 불량 스크리닝: 초기 결함이 있는 불안정한 제품을 강제로 노출시켜 가려냄
- Hot & Cold Test**: 상온을 벗어난 극한 온도 조건에서 칩의 동작 안정성 추가 검사

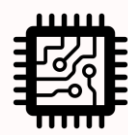
Focus Point:

- 전류-전압(**V-I**) 곡선: 소자의 채널 턴온 특성 및 누설 전류 발생 유무 확인
- Heated Chuck**: **WBI** 단계에서 웨이퍼 전체에 균일한 열을 가하는 가열 장치
- 신뢰성 확보: 소비자 사용 환경에서 발생할 수 있는 조기 불량 사전 제거

EDS 공정

공정팀

주상민, 서효석, 이은섭, 김현수, 김태현

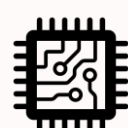


주제 3: 불량 구제 및 최종 데이터 전송 (Repair & Tape-In)

- Laser Repair:** 메모리 반도체 내부의 불량 비트를 예비 회로로 대체하는 공정
- 불량 회로 퓨즈 절단: 레이저 빔을 조사해 불량 회로를 끊고 예비 배선으로 신호 우회
- Post-Laser:** 레이저 수선 작업이 완벽하게 이루어졌는지 전기 신호로 최종 재검사
- Inking-less:** 잉크 마킹 대신 칩별 합격/불합격 정보를 디지털 지도로 시각화

Focus Point:

- 리던던시회로: 수억 개 셀 중 일부 불량을 대체하기 위해 설계된 예비 회로
- 수율의 보험: 칩 면적은 약간 증가하지만, 불량 칩을 정상품으로 살려내 수율을 획기적으로 상승
- 디지털 웨이퍼 맵: 미세 공정에서 이물질로 작용하던 과거 오염원(잉크)을 배제하여 신뢰성 향상



주제 4: EDS 공정의 3대 핵심 설비 및 최신 트렌드

- Tester:** 칩에 전기적 신호를 인가하고 리턴되는 디지털 데이터를 분석하는 두뇌 장비
- Prober:** 웨이퍼를 스테이지 위에 고정하고 프로브 카드와 정밀 정렬·이동시키는 장치
- Probe Card:** 테스터의 신호를 웨이퍼에 물리적으로 접촉·전달하는 소모성 인터페이스
- AI 및 HBM 대응:** 신호 처리 능력 및 다층 적층 구조 검사를 위한 고난도 기술 요구

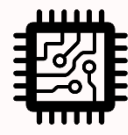
Focus Point:

- 사각형 프로브 핀 팁: 패드와의 접촉 면적을 넓혀 전기 저항을 낮추기 위한 사각형
- 구조패드 손상 방지: 전류를 균일하게 분산시켜 순간적인 고열로 패드가 녹아내리는 현상 방지
- 테스팅 리더: 메모리 테스트 시장의 일 및 고성능 로직 중심의 미

패키징 공정

공정팀

주상민, 서효석, 이은섭, 김현수, 김태현

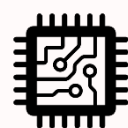


주제 1: 반도체 패키징의 역할 변화

- 웨이퍼 공정 이후 개별 칩을 실제 부품 형태로 완성하는 후공정 기술
- 칩 보호, 전기 신호 전달, 전원 공급, 방열 기능 담당
- AI·HPC 반도체에서 GPU-HBM 간 고속 데이터 이동 중요성 증가
- 단순 보호 중심에서 칩 간 고속 연결·방열·시스템 통합 중심으로 변화
- Wire Bonding에서 Flip Chip, Bump 접합 중심으로 고성능 패키징 발전

Focus Point:

- I/O 수: 칩이 외부와 주고받을 수 있는 신호 및 전원 단자 수
- 연결 길이: 칩과 칩 또는 칩과 기판 사이의 전기적 거리
- 열저항: 칩에서 발생한 열이 외부로 빠져나가기 어려운 정도
- 패키지 크기: 시스템 내에서 차지하는 면적과 두께
- 신뢰성: 온도 변화, 습기, 충격, 반복 동작을 견디는 능력



주제 2: 패키징 기본 공정과 전기적 연결

- Wafer Test를 통한 정상 동작 칩 선별
- Dicing을 통한 웨이퍼 단위 칩 절단
- Die Attach로 칩을 패키지 기판 또는 리드프레임 위에 고정
- Wire Bonding 또는 Flip Chip을 이용한 칩 패드-외부 단자 연결
- Molding 및 Final Test를 통한 보호·신뢰성 검증

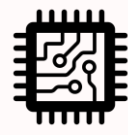
Focus Point:

- Wire Bonding: 칩 가장자리 패드와 기판을 금속 와이어로 연결
- Wire Bonding 장점: 구조가 단순하고 비용이 낮아 범용 패키지에 적합
- Wire Bonding 한계: 연결 길이가 길고 고속 신호 전달에 불리함
- Flip Chip: 칩을 뒤집어 범프를 통해 기판과 직접 접합
- Flip Chip 장점: 짧은 연결 길이, 높은 I/O 수, 고성능 패키지에 적합

패키징 공정

공정 팀

주상민, 서효석, 이은섭, 김현수, 김태현

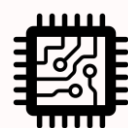


주제 3: 2.5D / 3D Packaging

- 여러 칩을 하나의 패키지 안에 통합하는 첨단 패키징 기술
- 2.5D: GPU, Logic chip, HBM**을 실리콘 인터포저 위에 수평 배치
- 미세 배선을 통한 칩 간 연결 거리 감소 및 고대역폭 구현
- 3D:** 여러 칩을 수직 적층하여 패키지 면적 감소 및 집적도 향상
- HBM: DRAM** 칩 적층 후 **TSV**로 수직 연결하는 대표 **3D** 패키징 사례

Focus Point:

- 2.5D: Interposer** 기반 수평 연결
- 3D:** 칩 수직 적층 구조
- HBM: TSV** 기반 고대역폭 메모리
- 장점: 연결 거리 감소, 대역폭 증가, 전력 소모 감소
- 핵심 과제: 발열, **warping**, 접합 신뢰성



주제 4: Hybrid Bonding / Glass Substrate

- Hybrid Bonding:** 마이크로 뱀프 대신 **Cu-Cu** 직접 접합 활용
- I/O** 수 증가에 따른 뱀프 **pitch** 축소 한계 대응
- 짧은 연결 길이, 높은 연결 밀도, 빠른 신호 전달 가능
- Glass Substrate:** **AI-HPC**용 대면적·고밀도 패키지 기판 후보
- 기존 **ABF** 기반 유기 기판의 **warping** 및 배선 밀도 한계 보완

Focus Point:

- Hybrid Bonding: Cu-Cu direct bonding**
- 장점: 짧은 연결 길이, 높은 **I/O** 밀도, 낮은 열저항
- Glass Substrate:** 낮은 **warping**, 높은 치수 안정성
- 고밀도 배선 및 고속 신호 전달에 유리
- 핵심 과제: 정렬 정확도, 접합 신뢰성, 수율 관리