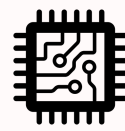


스터디 운영 및 학습 결과보고서

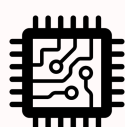
공정팀

박하은, 차연주, 한선희



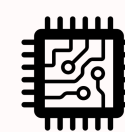
스터디 목표

- 반도체 공정 중 산화, 포토, 식각, 증착 공정의 주요 개념과 원리에 대해 이해한다.
- 수율에 직접적인 영향을 미치는 변수와 주요 defect에 대해 알아본다.
- ALE 및 Cryogenic ALE 관련 논문을 분석하며 공정 안정성과 defect 개선 메커니즘을 알아본다.



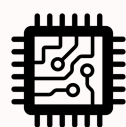
진행 방식

- 인원: 3명
- 일시: 매주 금요일 13:30 ~ 15:00 (혹은 가능한 시간대)
- 방식: 디도 스터디룸에서 대면으로 진행
- 자료 활용: 반도체 뉴스기사 및 카드뉴스, 기업 공개 자료, 논문 등
- 진행 흐름: 반도체 8대 공정 조사 → Deposition, Etching 관련 논문 주제 선정 → 논문 리뷰



주차별 주제

- 1주차: 스터디 주제 선정 및 계획 수립
- 2주차: 산화 공정 (원리, 장비 및 기술, defect)
- 3주차: 포토 공정 (원리, 장비 및 기술, defect)
- 4주차: 식각 공정 (원리, 장비 및 기술, defect)
- 5주차: 증착/ 이온주입 공정 (원리, 장비 및 기술, defect)
- 6주차: 논문 리뷰 1- 논문 흐름 정리 및 심화 개념 정리
- 7주차: 논문 리뷰 2- 심화 개념 및 개별 추가 탐구 사항 발표
- 8주차: 카드뉴스 작성 및 기사 작성



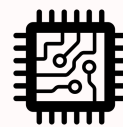
학습 Reflection

- 반도체 주요 공정인 산화, 포토, 식각, 증착 공정의 원리와 장비, defect를 학습하며 공정별 핵심 변수와 수율 간의 관계를 이해하였다. 또한 실제 산업 현장에서 발생하는 결함 사례와 개선 기술을 분석하며 공정 최적화의 중요성을 확인하였다. 이후 ALE 논문 리뷰를 통해 저온 식각 공정의 특성과 defect 개선 메커니즘을 분석하였고, 추가적으로 Cryogenic ALD를 탐구하며 차세대 반도체 공정 기술의 활용 가능성과 연구 동향을 이해할 수 있었다.

산화·포토·식각·증착 공정의 결함 분석에서 극저온 ALE 기술까지

공정팀

박하은, 차연주, 한선희

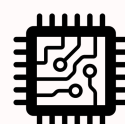


주제 1: 산화, 포토, 식각, 증착 공정의 핵심원리와 주요 결함

- 산화 공정: 열산화(Thermal Oxidation)로 SiO_2 절연막 형성, Bird's Beak·두께 이상이 active 영역 축소와 절연 신뢰성 저하로 이어짐
- 포토 공정: EUV(13.5nm) 노광에서 Photon shot noise로 인한 Stochastic Defect 발생, Missing contact·Bridge·LER이 open/short failure를 유발
- 식각 공정: Radical과 Ion bombardment의 균형으로 profile 결정, Undercut·Bowling·ARDE·Micro-loading이 저항 변화와 후속 공정 불량으로 연결
- 증착 공정: PVD·CVD·ALD로 박막 형성, Step coverage 불량과 Void·Seam·Pin-hole이 배선 신뢰성 저하와 Leakage를 유발

Focus Point:

- 포토의 LER → 식각 profile에 그대로 전사 → CD 편차 확대
- 식각의 profile 왜곡(Bowling·Undercut) → 증착 시 Void·Seam 유발
- 산화막 두께 이상 → 게이트 절연 신뢰성 저하 → 소자 특성 산포
- 연쇄적인 작용을 하는 공정 단계의 결함 흐름 이해가 수율 관리의 출발점



주제 2: Cryogenic ALE 공정 (논문 분석 및 탐구)

- Cryogenic ALE 공정: $\text{CH}_2\text{F}_2/\text{Ar}$ plasma를 이용해 SiO_2 표면에 fluorocarbon polymer를 형성한 뒤, Ar plasma로 fluorinated SiO_2 layer만 선택적으로 제거하는 원자층 식각 공정
- Deposition 단계: $\text{CH}_2\text{F}_2/\text{Ar}$ plasma가 SiO_2 표면에 HFC polymer를 증착하고, 동시에 SiO_2 표면을 fluorination시킴. 저온일수록 radical sticking coefficient가 증가하여, polymer deposition rate와 F/C ratio가 증가함.
- Etching 단계: Ar ion bombardment를 통해 polymer와 그 아래의 fluorinated SiO_2 layer를 제거함. 단, ion energy가 SiO_2 sputtering threshold를 넘으면 self-limiting 조건으로 선택
- 저온 효과: -40°C 이하에서 EPC가 급격히 증가함. 이는 polymer 증착량 증가뿐 아니라, F-rich polymer 형성, 낮은 cross-linking, $\text{HF}/\text{H}_2\text{O}$ 기반 additional etch effect가 함께 작용했을 가능성 있음

Focus Point:

- 저온 조건 → F-rich polymer 형성 → SiO_2 fluorination 증가 → EPC 증가
- 저온 조건 → surface defluorination 억제 → polymer 내 F 유지 → etch resistance 감소
- -40°C 이하 → $\text{HF}/\text{H}_2\text{O}$ additional etch effect 가능성 → EPC 급증 원인 후보

산화·포토·식각·증착

4가지 공정의 핵심 원리와 수율을 좌우하는 결함

반도체 소자는 산화(Oxidation), 포토(Photolithography), 식각(Etch), 증착(Deposition) 공정이 반복적으로 수행되며 제작된다. 각 공정은 서로 긴밀하게 연결되어 있어 특정 단계에서 발생한 결함이 후속 공정 전체에 영향을 미치고 최종 수율 저하로 이어질 수 있다. 따라서 최소한의 비용으로 결함을 줄이고 공정 안정성을 확보하는 것은 반도체 제조에서 매우 중요한 과제이다.

① 산화 공정 (Oxidation)

산화 공정은 열산화(Thermal Oxidation)를 통해 Si 기판 위에 SiO_2 절연막을 형성하는 과정이다. 산화막의 성장은 Deal-Grove Model로 설명되며, 초기에는 계면 반응 속도가, 이후에는 산화종의 확산 속도가 성장률을 결정한다. 대표적인 결함으로는 LOCOS 공정에서 발생하는 Bird's Beak 현상이 있으며, 산화막이 질화막 아래로 침투하여 Active 영역을 감소시킨다. 또한 산화막 두께가 목표 사양에서 벗어나면 게이트 절연막의 신뢰성 저하, 항복전압 변화, 소자 특성 편차 등의 문제가 발생할 수 있다. 이를 해결하기 위해 최근에는 트렌치를 형성한 뒤 산화막으로 채우는 STI(Shallow Trench Isolation) 기술이 널리 사용되고 있다.

② 포토 공정 (Photolithography)

포토 공정은 회로 패턴을 웨이퍼 위에 형성하는 공정으로, 해상도는 Rayleigh Equation($\text{CD} = k_1 \times \lambda / \text{NA}$)에 의해 결정된다. 더 미세한 패턴 구현을 위해서는 노광 파장(λ)을 줄이거나 개구수(NA)를 증가시키고, 공정 계수(k_1)를 낮춰야 한다. 이에 따라 노광 기술은 g-line, i-line, KrF, ArF, ArF Immersion을 거쳐 EUV까지 발전하였다. 그러나 EUV 공정에서는 광자 수의 통계적 변동인 Photon Shot Noise로 인해 Stochastic Defect가 발생할 수 있다. 대표적인 결함으로는 Missing Contact, Bridge Defect, Line Edge Roughness(LER)가 있으며, 평균 임계치수(CD)가 기준을 만족하더라도 극단적인 분포에서 발생한 결함이 Open 또는 Short Failure로 이어질 수 있다.

③ 식각 공정 (Etch)

식각 공정은 포토 공정을 통해 형성된 패턴을 실제 박막 또는 기판 구조로 전사하는 과정이다. 미세공정에서는 높은 선택비(Selectivity)와 수직 프로파일(Anisotropy) 확보가 필수적이며, 이를 위해 습식 식각보다 건식 식각(Dry Etch), 특히 플라즈마 식각이 주로 사용된다. 플라즈마 식각은 Radical에 의한 화학적 반응과 Ion Bombardment에 의한 물리적 제거 작용의 균형을 통해 높은 방향성을 구현한다. 주요 평가 지표는 Selectivity, Anisotropy, Uniformity이며, 이를 동시에 만족시키는 것은 쉽지 않다. 대표적인 결함으로는 Undercut, Bowing, Footing과 같은 Profile Defect, 고종횡비 구조에서 발생하는 ARDE(Aspect Ratio Dependent Etching), 패턴 밀도 차이로 인한 Micro-loading Effect가 있다. 또한 과도한 Ion Bombardment와 Charging Effect는 계면에 Trap을 형성하여 Leakage 증가 및 소자 신뢰성 저하를 유발할 수 있다.

④ 증착 공정 (Deposition)

증착 공정은 웨이퍼 위에 원하는 물질의 박막을 형성하는 공정이다. 대표적인 방법으로는 PVD(Physical Vapor Deposition), CVD(Chemical Vapor Deposition), ALD(Atomic Layer Deposition)가 있으며, 요구되는 특성에 따라 적절한 공정이 선택된다. PVD는 방향성이 강하다는 장점이 있지만 복잡한 구조에서는 Step Coverage가 낮아지고 Overhang 현상으로 인해 Void와 Seam 결함이 발생할 수 있다. 반면 ALD는 자기포화(Self-limiting) 반응을 이용하여 원자층 단위의 정밀한 두께 제어와 우수한 Conformality를 제공한다. 증착 공정에서 발생하는 대표적인 결함인 Void와 Seam은 배선 신뢰성 저하와 Leakage 증가를 유발하며, Pin-hole은 절연막 파괴와 소자 불량률의 주요 원인이 된다.

Cryogenic ALE 공정

Cryogenic ALE 관련 논문 심화탐구

(1) HF·H₂O 촉매 반응 메커니즘

HF·H₂O 촉매 반응 과정

① HF 생성 화학 (플라즈마 내)

- 플라즈마에서 CH₂F₂는 전자 충돌로 분해되어 H⁺, F⁻, CHF_x 등 다양한 라디칼 생성
- 두 라디칼의 재결합: H⁺ + F⁻ → HF (결합 에너지 ≈ 5.87 eV로 매우 안정)
- HF는 분자 자체가 안정해서 표면까지 확산해 도달 가능

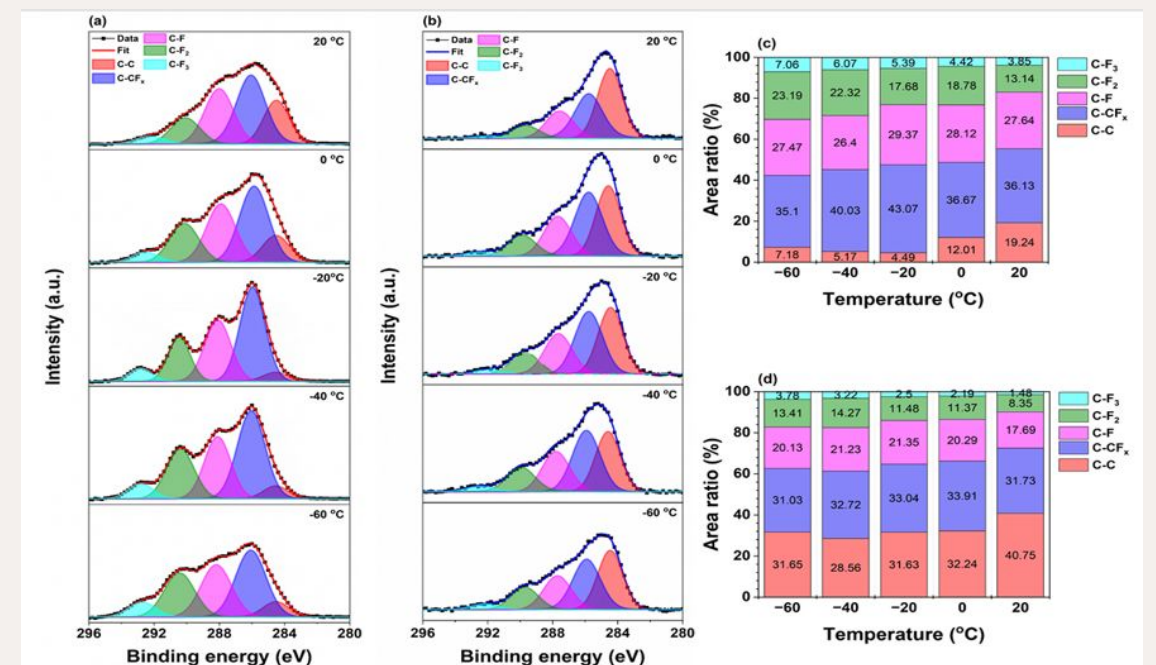
② 저온 표면 흡착의 물리화학

- 물리흡착(physisorption): 반데르발스 힘에 의한 표면 부착, 결합 에너지 약 0.1~0.5 eV
- 표면 체류시간 식: $\tau = \tau_0 \cdot \exp(E_d/kT)$ — 온도가 낮을수록 지수함수적으로 증가
- H₂O 탈리 에너지 ≈ 0.5 eV → 상온에서는 즉시 탈리, -40 °C 이하에서 표면에 안정적으로 잔류
- HF는 극성 분자라 SiO₂의 Si-OH 그룹과 수소결합 가능 → 흡착 강화

③ 촉매 반응 메커니즘

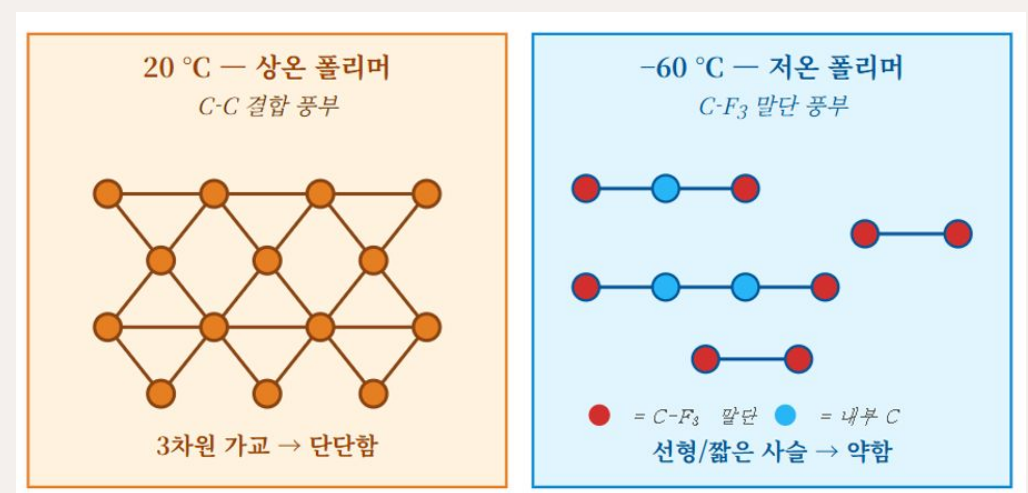
- $\text{SiO}_2 + 4\text{HF} \xrightarrow{\text{H}_2\text{O}} \text{SiF}_4 \uparrow + 2\text{H}_2\text{O}$
- H₂O가 HF를 이온화: $\text{HF} + \text{H}_2\text{O} \rightarrow \text{H}_3\text{O}^+ + \text{F}^-$
 - F⁻는 중성 HF보다 친전자성(electrophilicity) 훨씬 높음 → Si와의 친화도 ↑
 - Si-O 결합(~8 eV)을 끊고 Si-F 결합(~6 eV) 형성, 반응 진행 후 H₂O는 재생성됨

(2) C-F₃ 결합과 폴리머 구조



그래프 의미

: 저온으로 갈수록 C-C 결합이 급감하고 (19% → 7%), 사슬을 종결시키는 C-F₃ 결합이 약 2배 증가 (3.85% → 7.06%). 두 변화가 동시에 일어나면서 폴리머의 가교 구조가 해체됨



C-F₃의 구조적 특수성

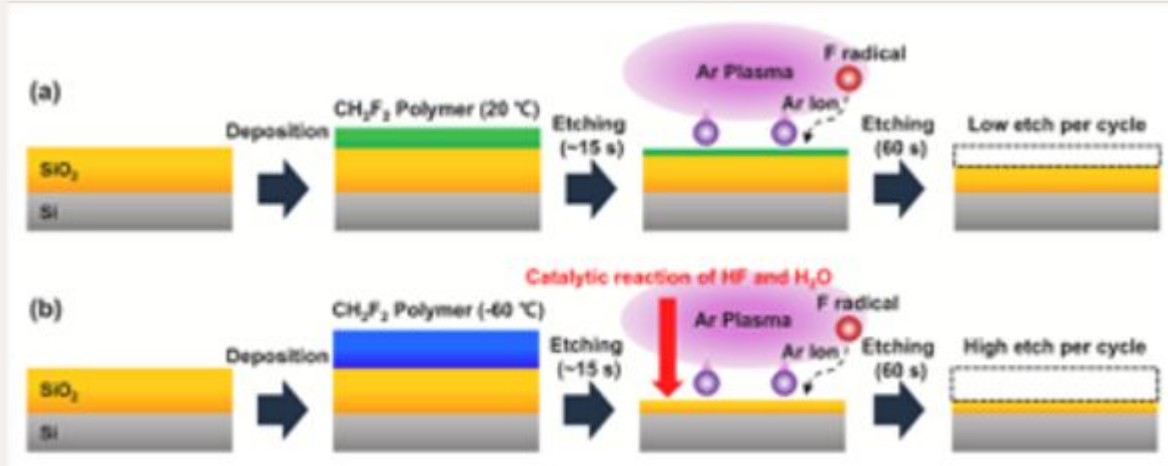
- C-F₃는 반드시 사슬의 끝(termination)에만 존재
- C-F₃ 비율 ↑ = 짧은 사슬 + 가교점 ↓ = 분자량 ↓

가교 폴리머 vs 선형 폴리머 (고분자 화학)

- 가교(Cross-linked) 폴리머: 3차원 그물망, 분해하려면 여러 결합을 동시에 끊어야 함 → 기계적으로 강함
- 선형(Linear) 폴리머: 1차원 사슬, 단일 결합 절단으로도 분리 가능 → 약함
- 가교 밀도(cross-linking density)는 폴리머의 탄성률·식각 저항성과 직접적 상관관계

Cryogenic ALE 공정의 식각 메커니즘과 산업 적용 가능성

(1) Cryogenic ALE Mechanism



그래프 의미

: 상온(20 °C) ALE와 Cryogenic(-60 °C) ALE 메커니즘

상온 ALE - (a)

① 과정

- Deposition step에서 fluorocarbon polymer 형성
- 상대적으로 높은 온도로 surface defluorination reaction 활발
- Polymer 내부 fluorine species가 쉽게 desorption됨
- Carbon-rich polymer 형성
- C-C 기반 cross-linking 증가
- Polymer 구조가 단단해서 Ar ion 충돌에 잘 제거되지 않음

② 결과

- Fluorination efficiency, Polymer removal efficiency 감소
- EPC가 상대적으로 낮음

Cryogenic ALE - (b)

① 과정

- 저온 환경에서 radical sticking coefficient 증가
- fluorine desorption 억제
- polymer 내부에 fluorine이 많이 유지
- fluorine-rich polymer 형성
- cross-linking density 감소
- polymer 구조가 덜 단단해져 Ar ion 충돌로 쉽게 제거
- polymer가 fluorine 공급원 역할을 하여 SiO₂ 표면 fluorination 증가

② 결과

- polymer 제거가 용이
- SiO₂ 표면 fluorination 증가
- EPC가 상대적으로 높음
- ALE 반응 효율 향상

(2) Substrate Temperature에 따른 polymer deposition rate와 F/C ratio 변화

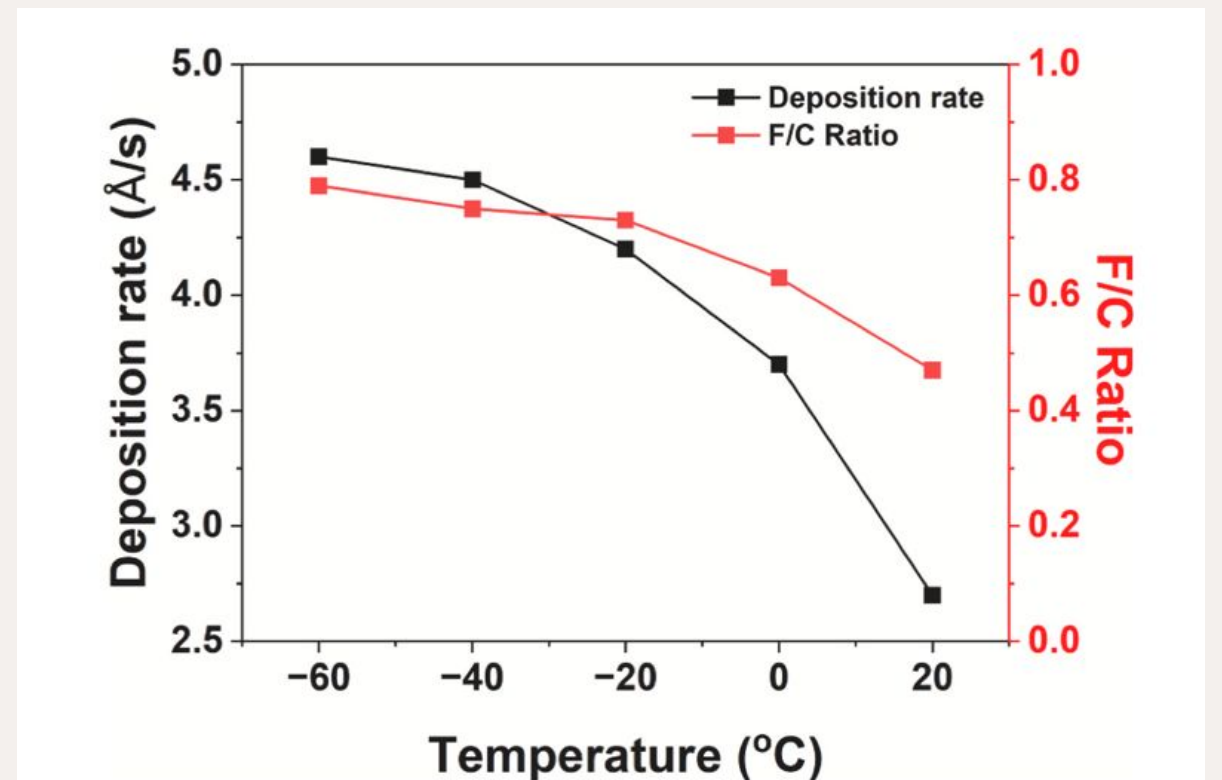


Fig. 5. Polymer deposition rate and fluorine to carbon (F/C) ratio of deposited polymer at different substrate temperatures during CH₂F₂ and Ar plasma discharge.

그래프 의미

: 저온으로 갈수록 polymer deposition rate가 증가하였으며, 동시에 polymer 내부의 fluorine 함량 (F/C ratio) 또한 증가한다.

원인

- 저온에서 plasm로 생성된 CH₂F₂ radical의 sticking coefficient 증가
- 저온에서는 surface defluorination reaction 억제
→ fluorine이 polymer 내부에 유지되기 쉽다.

F-rich polymer

: 반도체 식각에 유리하게 작용하는 polymer

-XPS 분석 결과, 저온에서 형성된 polymer에서 C-F, C-F₂와 같은 fluorinated bonding 비율이 증가

→ polymer 내부의 C-C cross-linking 감소를 의미

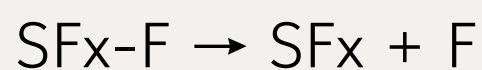
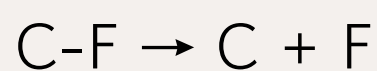
Cryogenic ALE 공정의 식각 메커니즘과 산업 적용 가능성

1. Defluorination 및 polymer 거동 mechanism

(1) Defluorination

: 표면에 붙었던 fluorine(F)이 떨어져 나가는 반응

[온도(T) 증가 → 표면 원자 Thermal E 증가 → weakly bonded fluorine desorption 증가]



▶ Carbon-rich 표면 형성

(2) Polymer 구조 변화

- 저온: Defluorination 억제 시
 - Cross-linking 억제
 - 부드러운 polymer
 - Ar ion 제거 용이

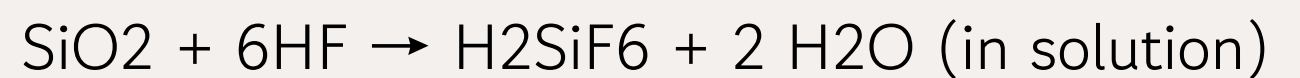
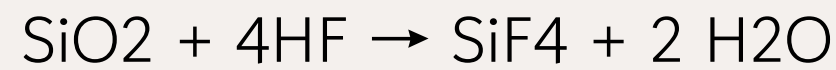
▶ 의도치 않은 etching 발생

▶ ALE의 self-limiting 특성 저하

- 고온: Defluorination 증가
 - F 소실 → Carbon-rich polymer
 - C-C network 증가 (cross-linking)
 - 단단한 polymer → etch resistance 증가
 - Ar ion 제거 어려움

2. HF에 의한 EPC 증가 메커니즘

(1) Etching 향상 (SiO₂ 제거)



(2) 표면 HF sticking 증가 (저온에서 두드러짐)

- HF가 surface에 오래 붙음
- Desorption 억제 → 표면 HF 농도 증가

▶ SiO₂ fluorination 증가

▶ Chemical etching 증가

∴ HF 농도 발생 시기, 정량 분석 연구 필요!

3. ALE 실용화를 위한 주요 고려사항

1. Wafer 전체 균일도 확보

2. High aspect ratio 구조 식각

: 실제 소자 구조에서도 self-limiting 특성 유지 필요

3. Radial/ Ion 전달 및 polymer 거동

: Cryogenic polymer는 sticking coefficient가 증가 → 내부 축적 위험

4. Plasma Damage 최소화

- Advanced node는 plasma damage에 매우 민감
- Ar ion 과충돌 시 defect, charge trapping, interface damage 위험

∴ TEM, electrical leakage, breakdown voltage 확인 필요

더 낮게 더 정밀하게: Cryogenic ALE를 통해 알아보는 차세대 저온 공정

반도체 공정에서 온도는 수율과 품질을 결정하는 핵심 변수다. 산화·확산 공정이 800~1200°C의 고온에서 진행되는 반면, 식각과 이온주입은 상온 근처에서 수행된다. 최근에는 이보다 훨씬 낮은 영하 60°C 이하의 극저온, 즉 Cryogenic 조건을 활용한 공정도 새로운 방법론으로 제시되고 있다. 특히 3D NAND Channel hole, HARC 구조 등 초미세공정에서 극저온 조건은 화학적 반응성을 낮추고 수직 식각을 강화하며 Defect와 Damage를 줄여 수율 향상에 기여할 수 있다.

ALE(Atomic Layer Etching)는 흡착(Adsorption)과 식각(Etching)을 분리된 단계로 수행하여 self-limiting 특성을 강화한 공정이다. 기존 Plasma Etch가 radical과 ion을 동시에 작용시켜 연속적으로 식각하는 것과 달리, ALE는 각 단계가 자기포화 반응으로 제어되어 원자층 단위의 정밀한 식각이 가능하다. 의도치 않은 반응과 부산물을 억제하고, Chamber wall contamination으로 인한 EPC drift 문제를 줄이는 것이 핵심 목표다. ALE는 Anisotropic과 Isotropic 방식으로 분류되며, PFC·HFC 계열 가스를 활용해 SiO₂ 표면에 fluorinated polymer를 형성한 뒤 Ar plasma 이온으로 제거하는 방식이 대표적이다.

논문(CH₂F₂/Ar plasma를 이용한 SiO₂ 극저온 ALE)에서는 기판 온도를 -60~20°C 범위에서 변화시키며 ALE 특성을 분석했다. 저온 조건에서는 sticking coefficient가 증가해 polymer 증착량이 늘고, F/C 비율이 높은 fluorine-rich polymer가 형성되어 식각 효율이 향상된다. 또한 -40°C 이하에서는 챔버 벽에서 탈착된 residual fluorine에 의한 비의도적 식각이 감소해 EPC drift가 억제되고, self-limiting 특성이 강화된다. 이는 낮은 이온 에너지 조건에서도 안정적인 식각이 가능함을 의미하며, low-damage 정밀 공정으로서의 가능성을 보여준다.

Cryogenic 조건은 식각뿐 아니라 증착 분야에서도 확장되고 있다. BEOL thermal budget 제한, low-k dielectric, polymer substrate 등의 이유로 고온 공정 적용이 어려운 환경에서 저온 ALD가 대안으로 떠오르고 있다. 저온에서는 sticking coefficient와 precursor residence time이 증가해 selective growth와 nucleation 제어가 용이해진다. Cryogenic device용 ALD 연구(Cornell University)에서도 ALD grown HfO₂·Al₂O₃의 저온 전기적 특성이 분석되며 가능성이 확인되었다. 다만 온도가 지나치게 낮아지면 precursor reaction activation과 ligand removal이 충분히 이루어지지 않아 impurity와 carbon contamination이 증가할 수 있어, 온도 최적화가 핵심 과제로 남아있다.