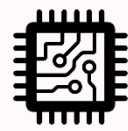


스터디 운영 및 학습 결과보고서

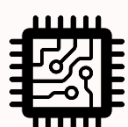
소자팀

김리야, 노정래, 서민정



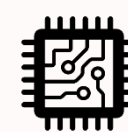
스터디 목표

- 반도체 소자의 기본 구조와 동작 원리 이해
- 소자 성능 지표와 현재 문제점 파악
- 논문을 통한 최신 연구 동향 학습 및 소자 성능 개선 방향 이해



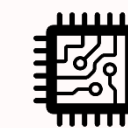
진행 방식

- 인원: 3명
- 일시: 매주 월요일 15:00-16:30
- 방식: 담당 주제 또는 논문 자료 준비 후 발표 및 토론
- 자료 활용: 리뷰 논문, 수업 강의 자료, 교재
- 진행 흐름: 반도체 소자 기초 → 소자 성능 문제 스터디 → 소자 성능 개선 방향 스터디



주차별 주제

- 1회차: 스터디 진행 방향 수립
- 2회차: 반도체 개념, 소자 성능 판단, 기존 / 차세대 메모리 반도체
- 3회차: CMOS 작동 원리와 구조
- 4회차: 소자 Scaling에 따른 Short Channel Effect 실험 논문 리뷰
- 5회차: BTI 열화에 따른 소자 변동성 논문 리뷰
- 6회차: 스터디 진행 방향 검토 회의 및 이전 스터디 복습
- 7회차: Short Channel Effect에 대한 소자 구조적 완화 방법 관련 논문 리뷰
- 8회차: Short Channel Effect에 대한 재료 공정적 완화 방법 관련 논문 리뷰



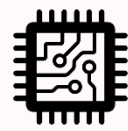
학습 Reflection

- 소자 scaling에 따른 성능 저하와 같은 현재 연구 이슈를 이해하고, 이를 개선하기 위해 제안되는 소자 구조와 물질에 대해 학습하였다. 여러 논문을 읽으며 소자 성능 평가에 필요한 주요 파라미터를 파악하고, 연구 결과를 해석하는 능력을 키웠다.

제목 입력

소자팀

김리야, 노정래, 서민정

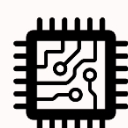


주제 1: 소자 미세화에 따른 Short Channel Effect

- MOSFET 채널 길이가 짧아질수록 gate의 채널 제어 능력 약화
- Drain 전계가 source 쪽까지 침투하여 DIBL 발생
- VTH roll-off, OFF leakage 증가, SS 악화 발생
- Channel length modulation 증가로 출력 특성 저하
- 결과적으로 소자의 스위칭 특성과 신뢰성 저하

Focus Point:

- Short Channel Effect의 발생 원인
- DIBL과 VTH roll-off의 의미
- Leakage current 증가 문제
- SS 악화가 스위칭 성능에 미치는 영향
- 소자 scaling과 성능 저하의 관계



주제 2: Short Channel Effect 완화 방안

- High-k 물질을 통해 gate capacitance 유지 및 leakage 감소
- SOI 구조로 source/drain depletion 영역 확장 억제
- FinFET, GAA 구조로 gate controllability 향상
- 2D 반도체와 Necked Nanowire 구조를 통한 SCE 완화 연구
- 소자 구조와 재료 최적화를 통해 Ion/Ioff ratio 개선

Focus Point:

- Gate control 향상이 SCE 완화의 핵심
- High-k, SOI, FinFET, GAA의 개선 원리
- 구조 및 물질 변화에 따른 성능 개선
- Ion, Ioff, SS, DIBL 등 주요 성능 파라미터 변화
- 최신 소자 구조의 장점과 한계

소자 미세화에 따른 Short Channel Effect

1. SCE의 개념과 물리적 원인

SCE란? — 정의와 중요성

- MOSFET의 채널 길이가 짧아질 때 gate의 채널 제어력이 약화되는 현상으로, 소자 미세화에 따라 필연적으로 발생
- 전기적 성능·신뢰성 저하의 주요 원인
- 주요 영향: VTH roll-off, DIBL, leakage current(I_{OFF}) 증가, subthreshold swing 약화, channel length modulation 증가

물리적 원인

- 채널 길이 감소 → source/drain 전기장이 채널 내부까지 침투하여 gate 제어력 약화
- Charge sharing: S/D depletion 영역이 채널까지 확장 → gate가 제어하는 전하 비율 감소 → VTH 감소
- 채널 내부 전위: 채널이 짧을수록 drain 전기장이 중심까지 침투하고 potential barrier 비대칭이 커져 DIBL·VTH roll-off가 뚜렷

2. DIBL과 전기적 특성 변화

DIBL (Drain-Induced Barrier Lowering)

- Drain 전압이 증가하면 drain 전기장이 source 쪽 energy barrier를 낮춤 (channel center를 지나 source까지 침투)
- Barrier height 감소로 더 작은 V_G에서도 carrier injection 발생
- 결과: VTH 감소(roll-off), OFF 상태 leakage current 증가, subthreshold 특성 약화

채널 길이에 따른 전달 특성 변화

- 채널이 짧을수록 더 작은 게이트 전압에서 큰 드레인 전류 발생
- 관찰 결과: ① VTH 감소 ② subthreshold 영역 전류 증가 ③ 포화 영역 전류 증가
- 의미: gate control 약화, drain field 영향 증가 → 스위칭(ON/OFF) 성능 저하

Short Channel Effect 완화 방안

1. High-K

1) 왜 High-k가 필요한가?

- 소자 scaling이 진행될수록 gate control 유지를 위해 gate oxide를 더 얇게 만들어야 함
- 하지만 SiO_2 를 너무 얇게 만들면 direct tunneling으로 gate leakage current가 증가
- 이로 인해 power consumption 증가와 reliability 문제가 발생함

2) High-k의 기본 원리

- 유전율 k 가 높을수록 같은 물리적 두께에서도 더 큰 gate capacitance(C_{ox}) 확보 가능
- 같은 C_{ox} 를 유지하면서 절연막을 더 두껍게 사용할 수 있음
- 결과적으로 tunneling leakage 감소와 gate control 향상 가능

3) 물질 선택과 성능 개선 효과

- SiO_2 는 낮은 k 값으로 인해 scaling에 한계가 있음
- High-k 물질은 capacitance 확보에 유리하지만 interface, 열적 안정성도 함께 고려해야 함
- 성능 개선 효과: SS 감소, DIBL 감소, ION 증가, IOFF 감소, ION/IOFF ratio 향상

4) 한계와 남은 과제

- Electron trapping, mobility 저하, BTI 관련 신뢰성 문제 발생 가능
- 열적 안정성 및 공정 호환성 확보 필요

⇒ High-k는 gate control 향상을 위한 핵심 재료 기술이지만

높은 capacitance, 낮은 leakage, 안정적인 interface, 신뢰성을 동시에 만족해야 함

Short Channel Effect 완화 방안

2. SOI MOSFET (Silicon-on-Insulator MOSFET)

1) 구조 및 종류

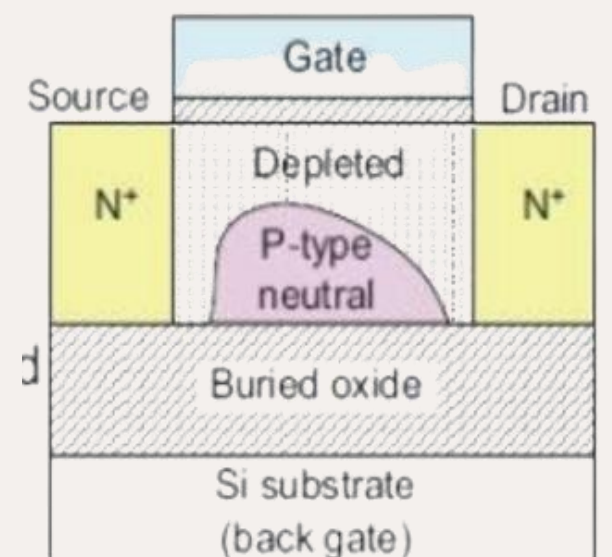
- 구조: Bulk Si 기판에 절연막 BOX(Buried Oxide)를 추가한 구조
- 종류: PD-SOI MOSFET / FD-SOI MOSFET

2) Short Channel Effect 완화 효과 이유

- source/drain depletion region 확장 억제
- Drain 영향보다 Gate control이 커져 SCE 완화
- Punch-through 현상 완화: MOSFET이 off 상태에서도 source와 drain 사이 전류 경로가 생겨 leakage current가 흐르는 현상

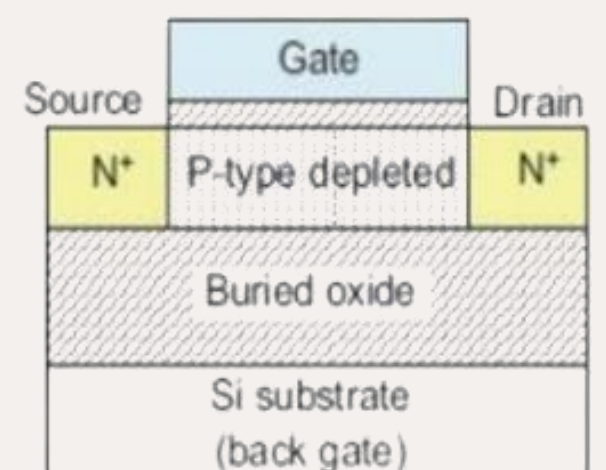
3) PD-SOI (Partially Depleted SOI)

- Floating body effect
: BOX 때문에 body 전하가 body potential이 변하는 현상
→ V_{th} 변화
→ Current 불안정 및 Hysteresis 증가 가능



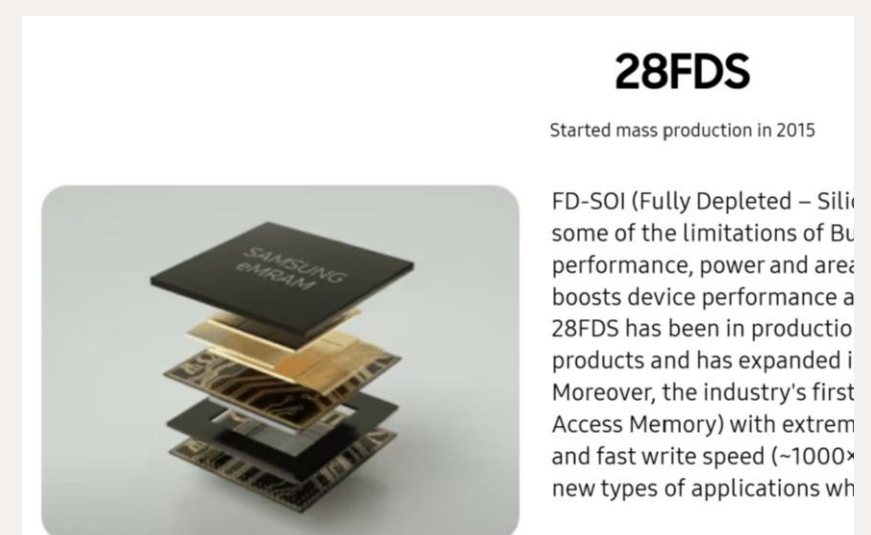
4) FD-SOI (Fully Depleted SOI)

- Floating body effect 크게 줄어듦
- Gate control 증가
- Punch-through 억제
- Off leakage 감소



5) FD-SOI 실제 활용 사례

- Samsung 28FDS
 - 2015년 삼성 파운드리 28nm FD-SOI 공정
 - AI용 임베디드 메모리, MCU, IoT 저전력 반도체에 활용
- Samsung 18FDS / 18FDS+
 - 2025년 차세대 FD-SOI 공정 포럼 진행
 - 웨어러블, RF/mmWave radar 응용 목표



Short Channel Effect 완화 방안

3. MoS₂

- 얇은 채널을 이용해 gate control을 높이고, SCE를 완화할 수 있는 차세대 반도체
- 응용: flexible device, 투명/유연 디스플레이

1) Thin Film Transistor (TFT)

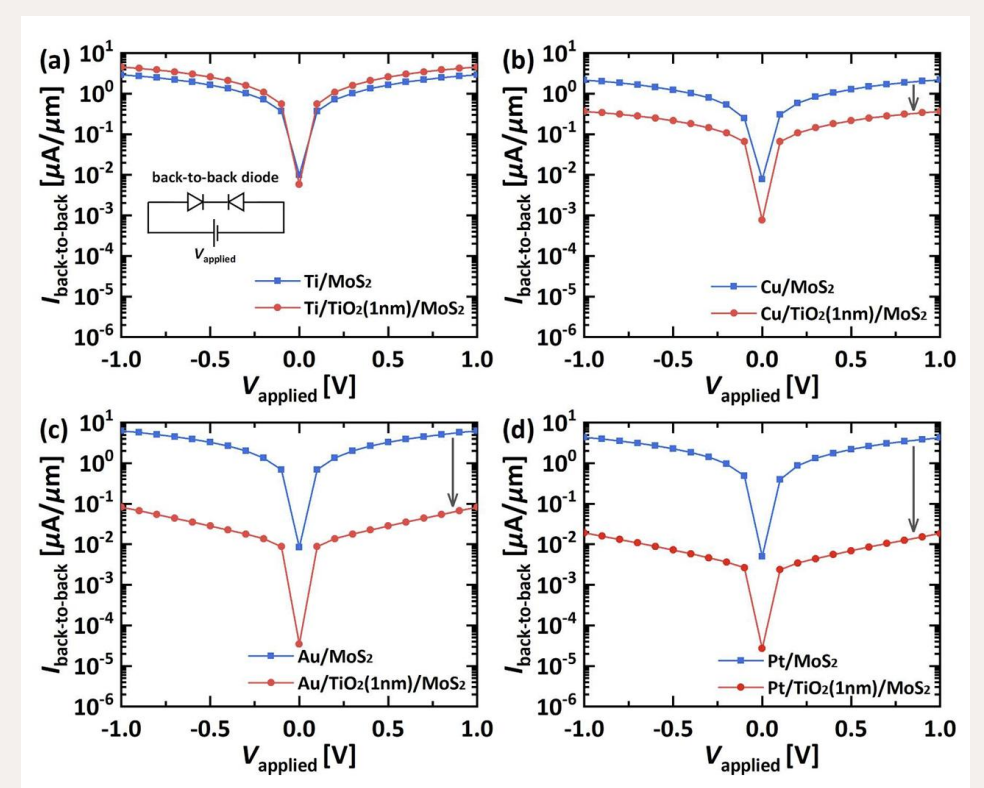
- MoS₂를 channel로 쓰는 FET 구조

2) 문제점

- source/drain의 metal 전극과 MoS₂ channel 사이의 contact 문제
- Schottky barrier 발생 → contact resistance 증가
- Electron injection 어려움 → I_{on} 감소, mobility 저하

3) 해결 아이디어

- Interlayer(TiO₂)를 삽입해 Fermi level pinning 완화
- 금속의 일함수에 따른 Schottky barrier 높이 조절 가능성 ↑



4. Multi-gate 구조(GAA)

- Cylindrical GAA 구조가 가장 낮은 DIBL과 SS, 가장 높은 I_{on}/I_{off} ratio를 보임
- GAA 구조는 gate가 channel 전체를 둘러쌘
- Drain field penetration을 줄이고, DIBL과 SS를 감소시켜 short-channel effect를 효과적으로 억제
- 결론: Gate coverage 증가 → electrostatic control 향상 → SCE 완화

5. NK-FET(Step-Necked)

- ss가 가장 낮은 70 mV/dec로, gate controllability 가장 우수
- 중앙의 얇은 neck region이 gate controllability를 향상시켜 leakage를 억제
- 양끝의 thick region이 I_{on} 손실 완화
- SCE 완화와 구동 전류 유지 사이의 trade-off 개선

