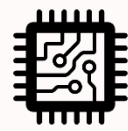


스터디 운영 및 학습 결과보고서

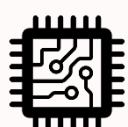
소자팀

배동근, 최호규, 최승현, 정성우, 윤현수, 박명준, 박준원



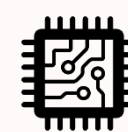
스터디 목표

- 반도체 메모리 소자의 과거, 현재, 그리고 미래를 탐구
- MOSFET, DRAM, NAND-Flash의 과거부터 현재까지의 기술 발전 과정을 심층 분석
- 단순한 구조 이해를 넘어, 메모리 소자의 구조적 한계와 이를 극복하는 최신 기술 동향 파악



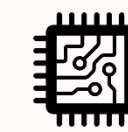
진행 방식

- 인원: 7명
- 일시: 매주 1회 2시간~3시간 동안 실시
- 방식: 주마다 특정 주제를 정해 각자 조사 및 학습을 진행하고 스터디 참석
- 자료 활용: 전공 서적, 기사, 강의 교안 등
- 진행 흐름: 한 명씩 발표하고 궁금한 부분에 대한 질의응답 진행



주차별 주제

- 1회차: 반도체의 정의, 트랜지스터의 정의 및 종류, MOSFET의 구조와 원리
- 2회차: MOSEFET의 에너지 밴드 구조와 동작 원리 파악
- 3회차: MOSEFET의 Drain 전압에 따른 Cutoff/ Linear / Saturation 현상 이해, Pinch-off 현상 이해, Subthreshold Swing(SS) 특징 이해
- 4회차: 페르미 레벨의 의미, Short Channel Effect (SCE) → 소자의 미세화에 따라 발생하는 문제점 파악
- 5회차: DRAM 구조, 회로 모양, 작동 원리(Read와 Write의 원리 및 작동 방식)
- 6회차: 트랜지스터와 커패시터를 중심으로 DRAM 구조의 발전 과정 파악
- 7회차: DRAM 공정 과정, 그리고 NAND Flash와 NOR Flash 구조 및 작동 원리



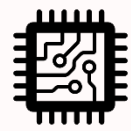
학습 Reflection

- 이번 스터디를 통해 다양한 반도체 소자의 구조와 동작 원리를 파악하고, 나아가 소자가 직면한 구조적 한계를 어떻게 극복해 나가는지 학습하였다. 이를 통해 DRAM, NAND Flash등 대표적인 메모리 반도체에 대한 이해도를 한 층 높일 수 있었으며, 전체적인 반도체 기술 동향을 바라보는 안목을 기를 수 있었다.

DRAM 1T-1C 구조의 진화 과정

소자팀

배동근, 최호규, 최승현, 정성우, 윤현수, 박명준, 박준원

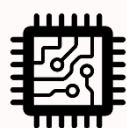


주제 1: DRAM Transistor 발전 과정

- 트랜지스터의 진화는 단채널 효과를 줄이는 방향으로 발전하였다.
- Planar → RCAT → S-RCAT → BCAT으로 채널을 단계적으로 3D화했다.
- 각각의 세대는 직전 구조의 물리적 한계를 해소하는 방식으로 진행됐다.
- 10nm 이하에서는 VCAT·GAA 같은 완전한 3D 채널로 전환이 본격화되고 있다.

Focus Point:

- Planar FET : 100nm 이하에서 DIBL 발생, 누설 전류 급증
- RCAT : U자 매립 채널로 길이 확보, 그러나 벌크 펀치 스루 발생
- S-RCAT : 구형 하단으로 펀치스루 억제, 곡률 부위 전계 집중 한계
- BCAT : Saddle-Fin으로 3면 제어, 1a/1b/1c 세대에서 게이트 저항 급증
- VCAT/GAA : 채널 수직화 및 4면 게이트로 3D DRAM 시대 준비



주제 2: DRAM Capacitor 발전 과정

- 면적이 줄어도 정전용량을 유지하는 방향으로 커패시터는 발전하였다.
- Planar → Trench → Stack → Cylinder → Pillar로 표면적을 입체적으로 확장해 왔다.
- 소프트 에러, Leaning, 균일 증착 등 여러 제약을 동시에 만족시켜야 한다.
- 최신 1a/1b DRAM은 Pillar·Ultra High-k·Multi-Supporter 통합으로 한계를 극복한다.

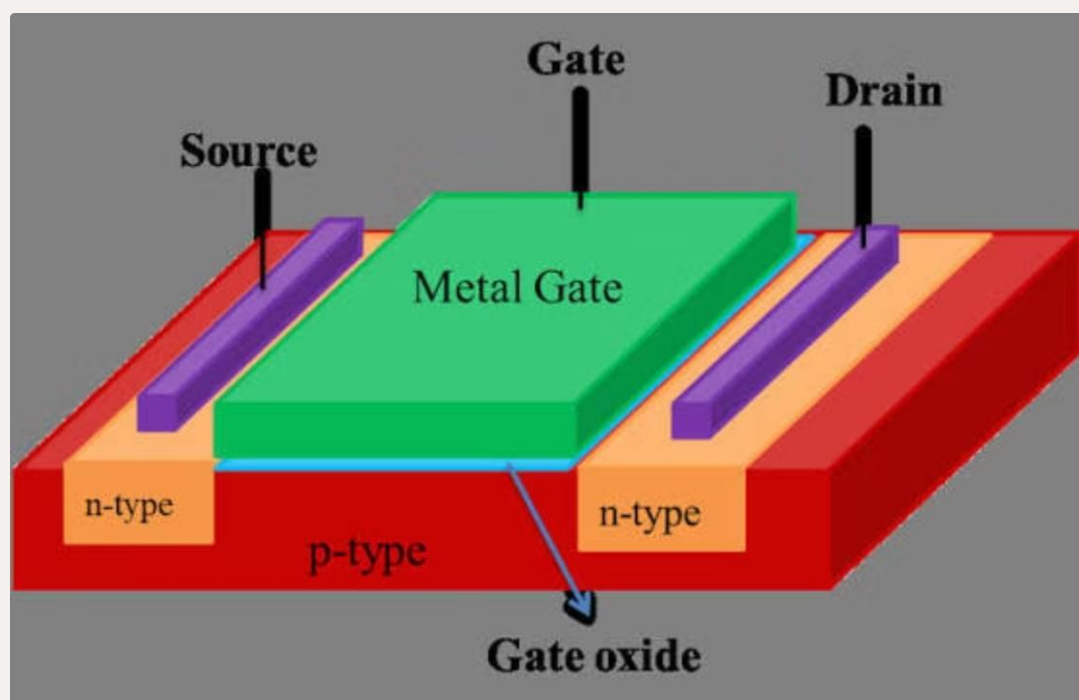
Focus Point:

- Planar : 면적 감소가 곧 용량 감소로, α 입자 소프트 에러에 취약
- Trench : 기판 하부 식각으로 용량 확보, 소프트 에러 차단 우수
- Stack : 트랜지스터 위로 적층, 입체 구조 구현의 자유도 확보
- Cylinder : 내·외벽 활용으로 표면적 2배, 그러나 Leaning 한계
- Pillar : 속이 찬 기둥으로 강성 확보, Ultra High-k와 결합해 정전용량 보완

주제 1: DRAM Transistor 발전 과정

① Planar FET (평면형 트랜지스터)

: 게이트, 소스, 드레인이 실리콘 기판 표면에 수평으로 배치된 가장 기본적인 MOSFET 구조로 초기 DRAM 셀의 액세스 트랜지스터로 광범위하게 사용되었다.

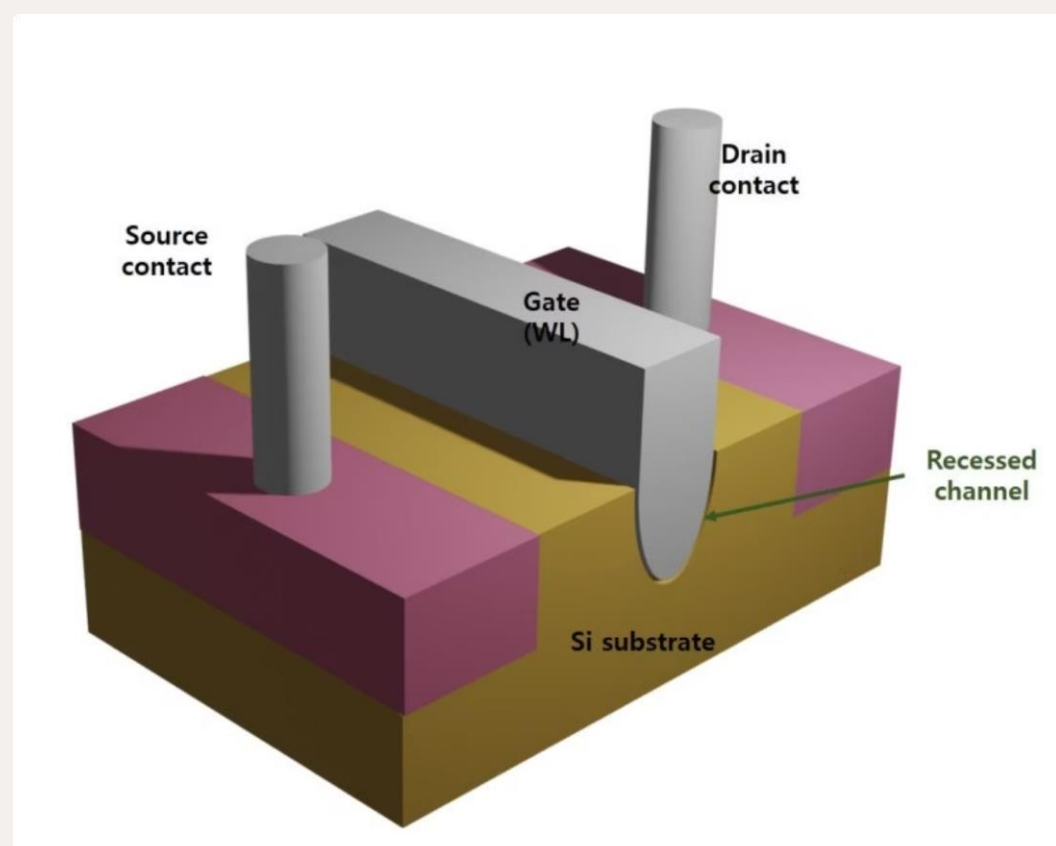


[핵심 한계점]

선폭이 100nm 이하로 축소되면서 채널 길이가 극도로 짧아지고, 소스-드레인 간 거리가 가까워져 게이트가 전자의 이동을 제어하지 못하는 DIBL 현상이 발생한다. 이로 인한 누설 전류 급증은 DRAM의 데이터 유지 특성을 심각하게 저하시킨다.

② RCAT (Recessed Channel Array Transistor)

: 실리콘 기판을 수직으로 식각하여 채널을 기판 내부에 U자형으로 매립함으로써, 동일한 셀 면적 내에서 물리적 채널 길이를 효과적으로 늘린 구조이다. Planar FET의 단채널 효과를 극복하기 위해 도입되었다.



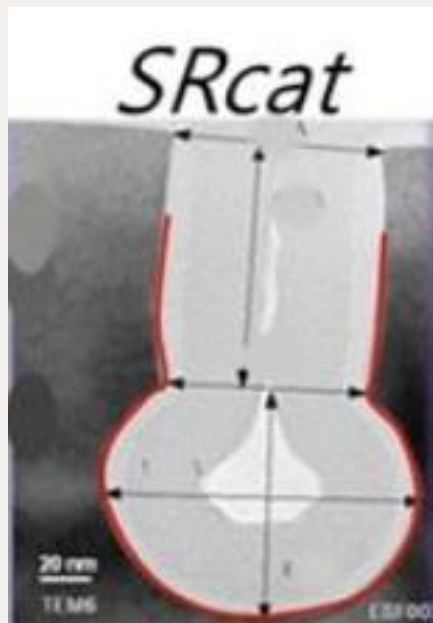
[핵심 한계점]

소자 미세화가 심화되면서 소스-드레인 간 수평 거리가 극도로 좁아짐에 따라, 전류가 U자 채널 표면을 우회하지 않고 기판 하부를 통해 최단 거리로 관통하는 벌크 펀치스루 현상이 발생한다. 게이트의 제어력 상실과 Off 상태 누설 전류가 급증한다.

주제 1: DRAM Transistor 발전 과정

- ③ S-RCAT : RCAT의 펀치 스루 문제를 해결하기 위해 채널 하단부를 구형으로 확장해 게이트 감싸는 면적을 넓혀 누설 전류를 억제한 구조
 ④ BCAT : 게이트와 Word Line 전체를 기판 내부에 완전히 매립하여 기생 정전용량을 차단하고 집적도를 극대화한 현재 표준 구조

[S-RCAT (Sphere-shaped Recessed Channel Array Transistor)]



[특징] 구형(Sphere) 채널 구조

RCAT의 채널 하부를 구형으로 둥글고 넓게 확장. 게이트가 채널을 감싸는 면적이 커져 정전기적 제어력 향상

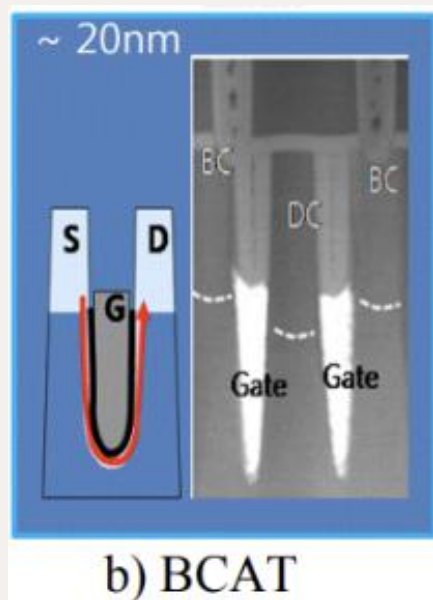
[효과] 채널 길이 확보 → SCE·DIBL 억제

구형 공간으로 물리적 채널 길이 추가 확보 → Off 상태 누설 전류 감소, 데이터 유지 특성 향상

[한계] 공정 복잡도 증가

구형 식각을 위한 추가 공정 단계 필요. 수율 관리 난이도 상승 → BCAT 전환 전 과도기 구조로 위치

[BCAT (Buried Channel Array Transistor)]



[특징] 게이트·Word Line 기판 내 완전 매립

S-RCAT과 달리 게이트 전극과 WL 전체를 기판 속에 묻고 상부를 절연막으로 완전히 덮는 구조

[효과] 기생 정전용량 차단 → 집적도 극대화

WL이 기판 아래로 내려가며 상부 공간 확보 → BL·Capacitor와 간섭 차단. 현재 10nm급 DUV/EUV DRAM의 산업 표준

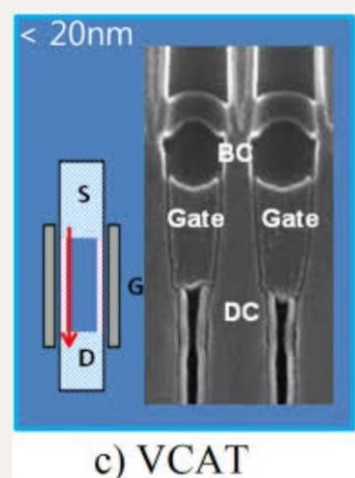
[한계] 1a/1b/1c 이하 → 게이트 저항 급증·GIDL 재발생

선폭 10nm 이하에서 매립 게이트가 극도로 가늘어짐 → 저항 급증 + GIDL 누설 전류 재발생 → VCAT/GAA 전환 필요

⑤ VCAT & GAA

: BCAT 역시 10nm 이하 공정에서 근본적인 한계에 도달함에 따라, 채널을 수직 형태로 세워 전류가 위아래로 흐르게 하는 VCAT이나 채널을 4면으로 감싸는 GAA 구조를 도입하여 3D 구조의 DRAM으로 진화를 준비중이다.

[VCAT (Vertical Channel Array Transistor)]



1) 수직 채널로 셀 면적 축소

- 채널을 수직으로 세워 Storage Node Contact과 BitLine 위아래에 배치함으로써 기존 $6F^2$ 셀 구조에서 $4F^2$ 까지 축소 가능

2) Short Channel Effect 억제

- 평면 미세화와 무관하게 수직 방향으로 채널 길이를 충분히 확보할 수 있어, DIBL 및 문턱전압 변동 등 SCE를 효과적으로 억제

3) BCAT의 한계 극복 → 차세대 DRAM 셀 트랜지스터

- 10nm 이하 공정에서 BCAT이 도달한 물리적 한계를 넘어, 1c/1d 세대 이후의 DRAM 셀 트랜지스터의 유력한 후보 구조

[GAA(Gate-All-Around)]



1) Gate Control 향상

- 게이트가 채널의 4면을 완전히 감싸 우수한 정전 제어 특성을 가지며, DIBL 및 누설 전류가 효과적으로 억제되어 Subthreshold Swing이 이상값에 근접

2) FinFET의 한계를 극복하는 차세대 구조

- FinFET의 3면 게이트로는 5nm 이하 공정에서 단채널 효과 제어가 한계에 도달하였으며, GAA는 4면을 감싸 그 한계를 극복

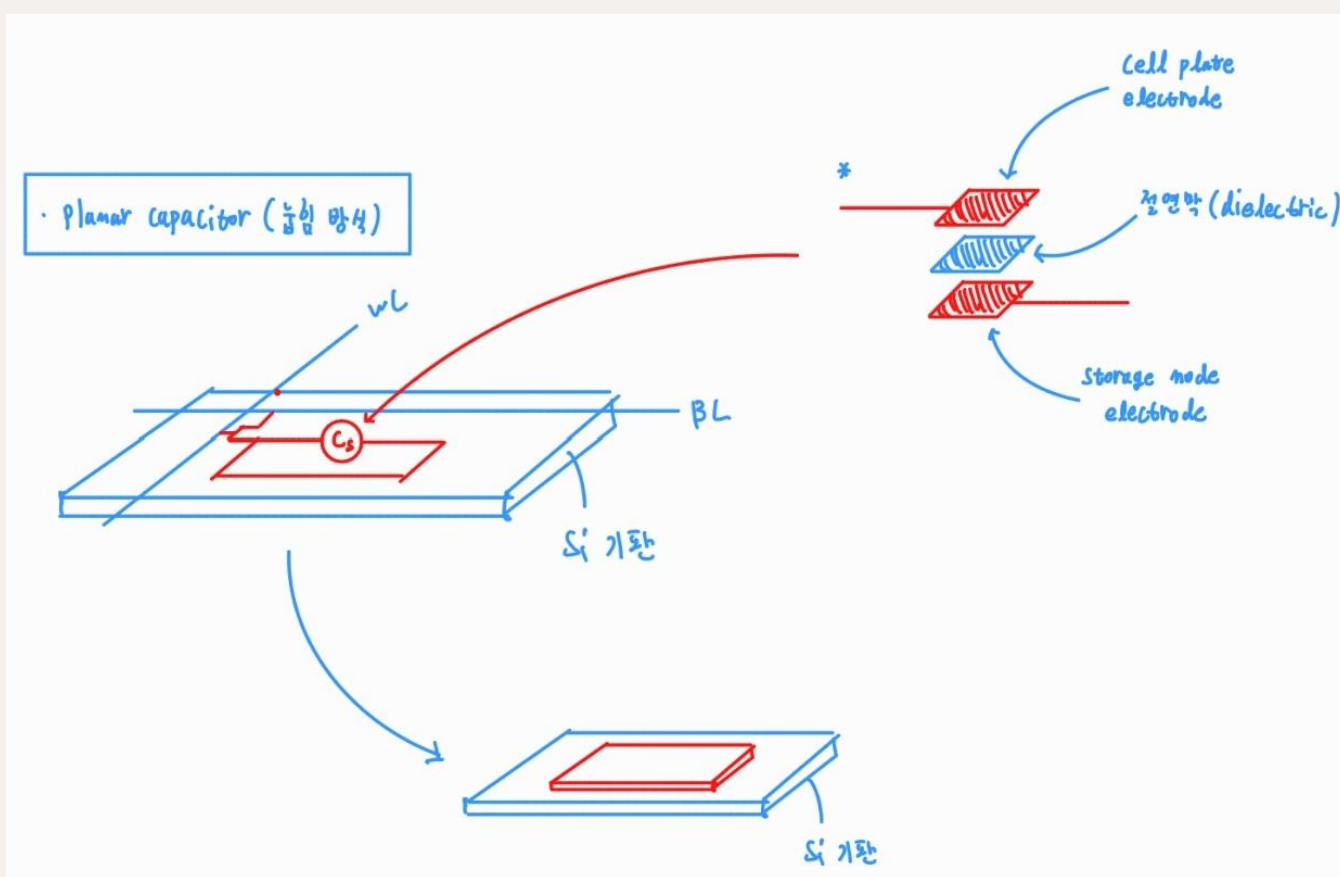
3) 3D DRAM의 핵심 후보 기술

- 강력한 게이트 제어력과 누설 전류 억제 특성은 retention과 저전력 동작이 핵심인 3D DRAM 셀 트랜지스터에 적합한 구조

주제 2: DRAM Capacitor 발전과정

1. planar(평면형) 구조

: Planar capacitor는 capacitor가 Si 기판 위에 평면적으로 형성된 구조이다. storage node electrode가 기판 위에 넓게 펼쳐지고, 그 위에 얇은 절연막(dielectric)이 놓이며, 다시 그 위에 cell plate electrode가 형성된다.



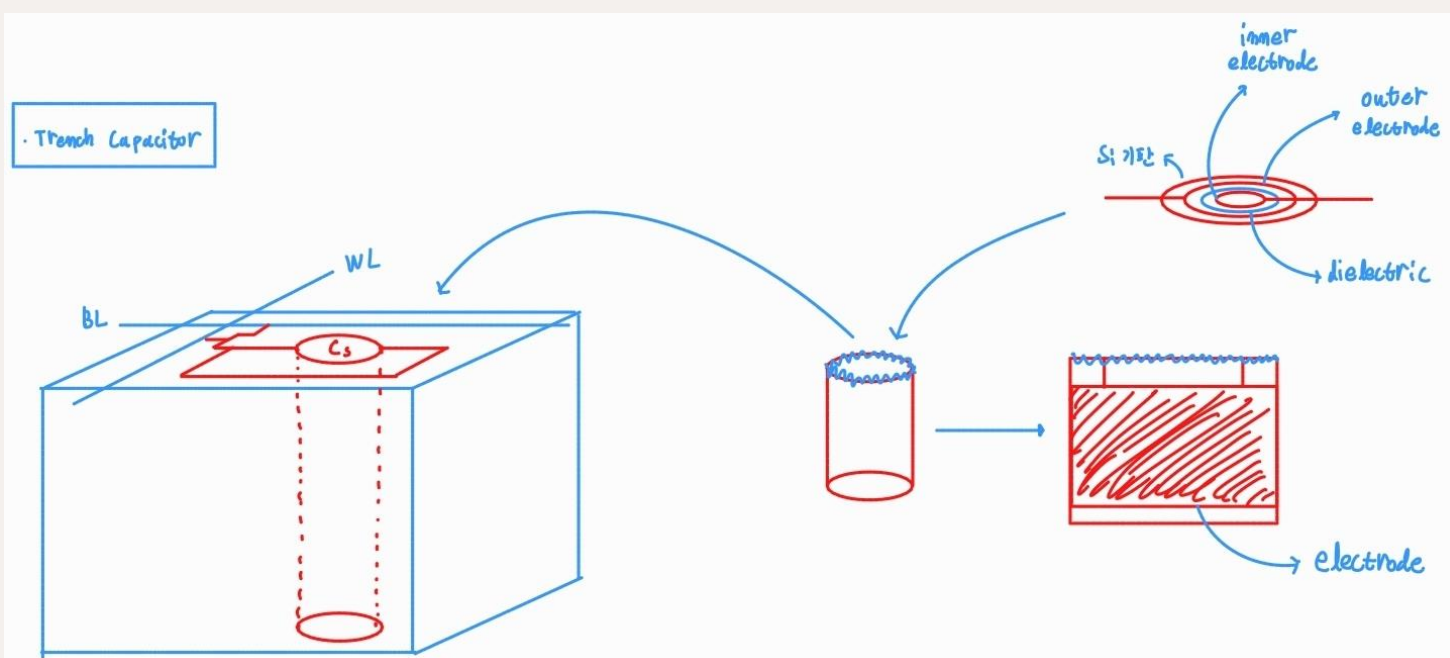
[특징]

충분한 capacitance를 확보하기 어렵고 절연막 두께 d 를 줄일 때 tunneling leakage가 증가한다는 단점이 있다.

이후 DRAM의 고집적화 과정에서 trench 방식이나 stacked 방식이 고안되었다.

2. Trench(매립형) 구조

: Trench capacitor는 Si 기판을 깊게 식각하여 형성한 trench 내부에 capacitor를 만드는 구조이다. Inner electrode와 outer electrode 사이에 얇은 dielectric이 존재하며, 두 전극 사이에 전하가 저장된다.



[특징]

수직 방향으로 전극 면적을 확보할 수 있기 때문에, 작은 셀 면적에서도 충분한 capacitance를 확보할 수 있다.

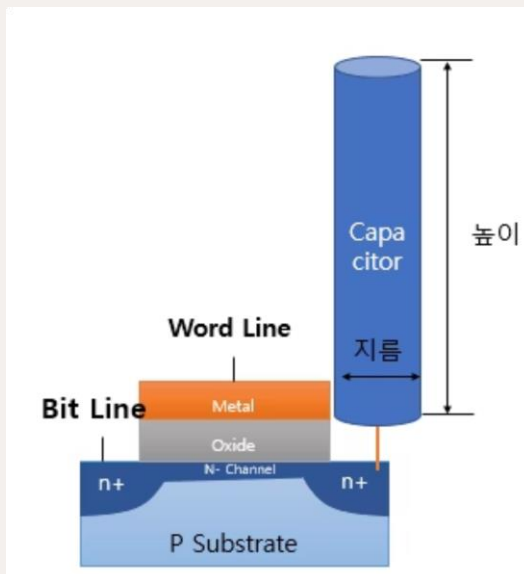
식각과정에서 plasma etching 등에 의해 Si 표면의 결함이 끊어지면서 dangling bond가 발생하고 trap state처럼 작용한다.

trench가 깊고 좁기 때문에 절연막을 전체 벽면에 균일한 두께와 품질로 형성하는 것이 어렵다.

주제 2: DRAM Capacitor 발전과정

1. Stack형 구조 개요

: DRAM capacitor는 저장 용량 확보를 위해 셀 면적 내에서 가능한 한 큰 커패시턴스를 구현하는 것이 핵심이다. 그중 Stack 구조는 트랜지스터 형성 후, 소스 영역 바로 위에 Storage Node Contact (SNC)를 형성하고, 상부 방향으로 커패시터를 적층하여 저장 면적을 극대화하는 구조이다.



[장점]

위로 쌓는 방식이므로 Cylinder·Fin·Crown 등 복잡한 입체 구조 구현이 용이하며, 기판에 물리적 손상을 가하지 않아 소자 신뢰성이 높다.

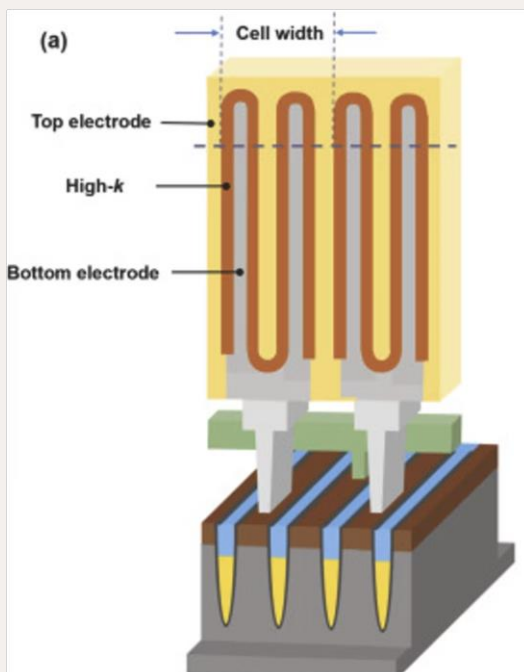
[단점]

커패시터 높이 증가에 따른 단차 심화로 후속 노광 공정의 초점 확보가 어려워지는 공정 집적도 문제가 발생한다.

2. Stack 구조의 진화

: 초기 Stack 구조는 단순히 상자 (concave)모양으로 쌓아 올렸으나, 구조적 변형이 발생하는 문제가 생겼다.

- Cylinder 구조



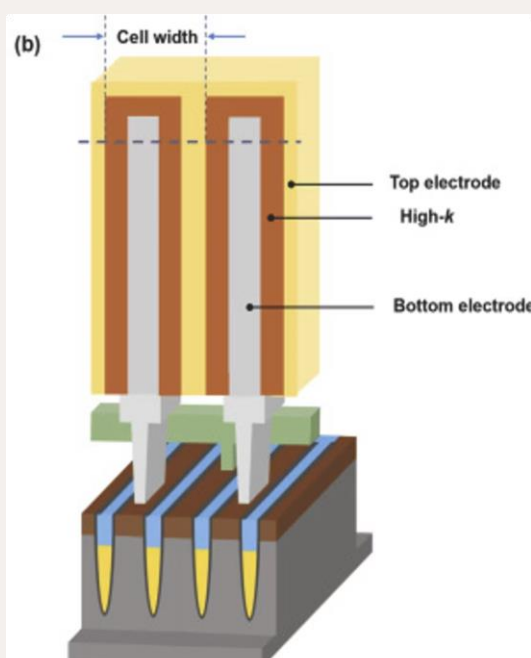
[장점]

내벽과 외벽을 모두 활용 가능하여, 유효 전극 면적이 크게 증가한다. 또한 동일한 셀 면적에서도 concave 구조보다 더 큰 정전용량을 확보할 수 있기 때문에 미세 공정에 적합하다.

[단점]

정전용량 확보를 위해 원통이 더 가늘고 더 높게 제작되어야 하는데, 이 과정에서 원통 기둥들이 옆으로 쓰러지거나 서로 달라붙는 Leaning 현상이 발생한다. 또한, 나노미터 수준의 좁은 내부 구멍 바닥까지 유전체와 금속 전극을 균일한 두께로 증착하는 것이 물리적으로 극도로 어려워 공정 상의 난이도가 크게 증가한다.

- Pillar 구조



[장점]

Cylinder 구조와 달리 내부를 전도체로 완전히 채운 기둥(Pillar) 형태로 하부 전극을 제작한 구조이다. 내부 공간이 없어 Cylinder에서 발생하던 내벽 증착 불균일 문제가 근본적으로 해소된다. 또한 Ultra High-K 유전체와 결합하여 정전용량 보완이 가능하다.

[단점]

내부 공간을 전도체로 채움으로써 증착 불균일 문제는 해소하였으나, 동일한 크기에서 확보 가능한 표면적이 cylinder 구조보다 작을 수 있어, 셀 크기가 더욱 미세화될 경우 정전 용량 확보를 위한 보완이 요구된다.

주제 2: DRAM Capacitor 발전과정

Supporter(지지대) 기술이란?

DRAM의 집적도가 높아질수록 셀 커패시터는 면적을 줄이면서도 정전용량을 유지하기 위해 원통형(Cylinder) 구조로 점점 더 높고 가늘게 형성됩니다. 종횡비(Aspect Ratio)가 커질수록 커패시터는 구조적으로 약해져, 식각·세정 공정 중 옆으로 기울거나 쓰러지는(Leaning/Toppling) 불량 발생이 쉬워집니다.

기둥처럼 커패시터를 붙잡아주는 지지막 구조

이를 막기 위해 커패시터들 사이 일정 높이에 질화막(Nitride) 등으로 얇은 막을 형성하고, 이 막이 인접한 커패시터들을 옆으로 서로 붙잡아주는 '기둥' 역할을 하도록 만든 것이 Supporter 기술입니다. 뾰족하게 배열된 커패시터 사이를 그물처럼 엮어 쓰러짐을 방지합니다.

Single → Double → Triple Supporter

커패시터의 종횡비가 커질수록 지지막 한 장(Single Supporter)만으로는 버티기 어려워져, 높이를 따라 지지막을 2단(Double), 3단(Triple)으로 쌓아 올리는 방향으로 발전했습니다. 지지막 단수가 늘어날수록 쓰러짐에 대한 안정성은 높아지지만, 식각해야 할 막질과 공정 단계도 함께 늘어나 공정 난이도와 비용이 증가합니다.

최근 근황

서포터가 너무 두꺼우면 커패시터 표면적을 가려 정전용량이 손실되고, 반대로 유전막과 상부 전극을 증착할 공간이 부족해집니다. 반면 너무 얇게 만들면 스트레스를 견디지 못하고 Crack이 발생합니다. 이를 극복하기 위해 3D DRAM 구조를 연구하고 있습니다.

Supporter 단수에 따른 구조 비교

