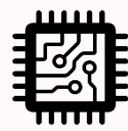


스터디 운영 및 학습 결과보고서

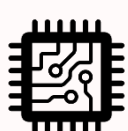
소자 4팀

손지민, 양지웅, 이석희



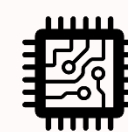
스터디 목표

- 2D 반도체(TMD 계열) 및 AOS(IGZO)의 물성과 소자 동작 원리를 기초부터 체계적으로 이해
- 실제 논문 데이터를 통해 소자 특성을 정량적으로 분석하고 비교하는 능력 배양
- 두 소재의 상보적 특성을 소자 아키텍처 수준에서 결합하는 Research Question을 자체적으로 도출



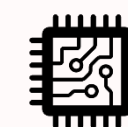
진행 방식

- 인원: 3명
- 일시: 매주 월요일 12:00-13:30
- 방식: 기초 스터디 → 논문 리뷰 → Research Question 도출의 3단계로 진행
- 자료 활용: 관련 논문, 소자 교재, 팀 자체 토론 정리본
- 진행 흐름: 개념 학습 → 논문 데이터 분석 → 한계 도출 → 개선 방향 제안



주차별 주제

- 1회차: 2D semiconductor 기초 — Si scaling 한계 및 MoS₂ 결정 구조 학습
- 2회차: TMD 소자 특성 심화 — hBN 기판 효과, memristor 동작 원리, 뉴로모픽 시냅스 모사 학습
- 3회차: AOS(IGZO) 물성 기초 — 비정질 고 mobility의 물리적 근거 및 극저 I_{off} 특성 학습
- 4회차: 산화물 반도체 비교 — IGZO/In₂O₃/IZO 특성 비교 및 2D 소재와 AOS 정리
- 5회차: [2012 Nat. Commun.] multilayer MoS₂ TFT 논문 리뷰
- 6회차: [2020 IEDM] IGZO 기반 2T0C DRAM 논문 리뷰
- 7회차: Research Question 도출 — 2T0C DRAM sensing margin 한계 분석 및 이중 소재 통합 방향 탐색
- 8회차: 이중 소재 통합 구조 심화 — WTR/RTR 역할 분담 논리 및 공정 호환성 검토



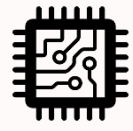
학습 Reflection

- 기초 개념 학습에서 논문 분석, Research Question 도출까지 이어지는 과정을 통해 소재의 물성과 소자 아키텍처를 연결하는 시각을 갖출 수 있었다. 두 소재의 상보적 특성을 하나의 셀 구조에 통합하는 제안까지 도달한 것이 이번 스터디의 핵심 성과다.

얇을수록 강해야 한다, 2D 소재가 차세대 TFT 채널로 주목받는 이유

소자 4팀

손지민, 양지웅, 이석희

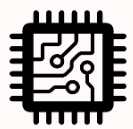


주제 1: Si의 한계가 열어준 문: 왜 지금 2D 소재인가

- Si scaling 한계로 인해 원자층 두께의 2D 소재가 차세대 채널 물질로 주목받고 있다.
- 채널 미세화로 DIBL, SS degradation 등 단채널 효과가 심화되고 있음
- Si를 얇게 가공하면 surface roughness scattering으로 mobility가 급격히 저하됨
- MoS₂는 vdW 결합 구조로 dangling bond가 없어 계면 품질이 우수함
- Bulk에서 indirect, monolayer에서 direct bandgap으로 전환되나 TFT 소자에서는 multilayer가 현실적 선택

Focus Point: 왜 2D 소재인가

- Si는 얇게 만들수록 mobility가 떨어지는 딜레마가 존재함
- 2D 소재는 원자층 두께에서도 표면 품질 열화 없이 채널 구현 가능
- vdW 결합으로 층 표면에 dangling bond가 없어 Dit가 낮음
- Heterostructure 구성이 자유롭고 기계적 유연성도 높음
- 양산 적용을 위해서는 large-area 균일 성장과 재현성 있는 contact 형성이 선결 과제



주제 2: Multilayer MoS₂ TFT 성능의 구조적 근거

- Multilayer MoS₂는 contact 저항 감소와 Ion 확보 측면에서 단일층보다 TFT 소자에 유리하다.
- Monolayer는 두께 ~0.65 nm로 Fermi level pinning과 Schottky barrier 문제가 심각함.
- Multilayer는 layer 간 추가 transport path로 Ion이 높아지고 외부 환경 영향도 screening됨.
- 두께가 과도하면 electrostatic control이 약해지므로 수 nm 수준이 Ion과 gate 제어의 균형점
- Al₂O₃ top gate dielectric은 높은 Cox 확보로 ss를 이상값에 근접시키며 sulfur vacancy 패시베이션에도 기여

Focus Point: Al₂O₃ top gate dielectric의 역할

- Top gate 구조는 gate-channel 간 거리를 최소화해 coupling 효율이 높음
- Al₂O₃의 유전율($k \approx 9$)은 SiO₂($k \approx 3.9$) 대비 두 배 이상으로 Cox 확보에 유리
- Cox 증가 시 $SS = (kT/q) \ln 10 \cdot (1 + Cd/Cox)$ 에서 Cd/Cox 항 감소로 ss가 이상값에 근접
- ALD 증착된 Al₂O₃은 MoS₂ 표면 sulfur vacancy를 패시베이션하여 Ioff 감소에도 기여
- Ion/Ioff ratio > 10⁷ 달성으로 a-Si TFT 대비 2D 소재 TFT 가능성을 실증

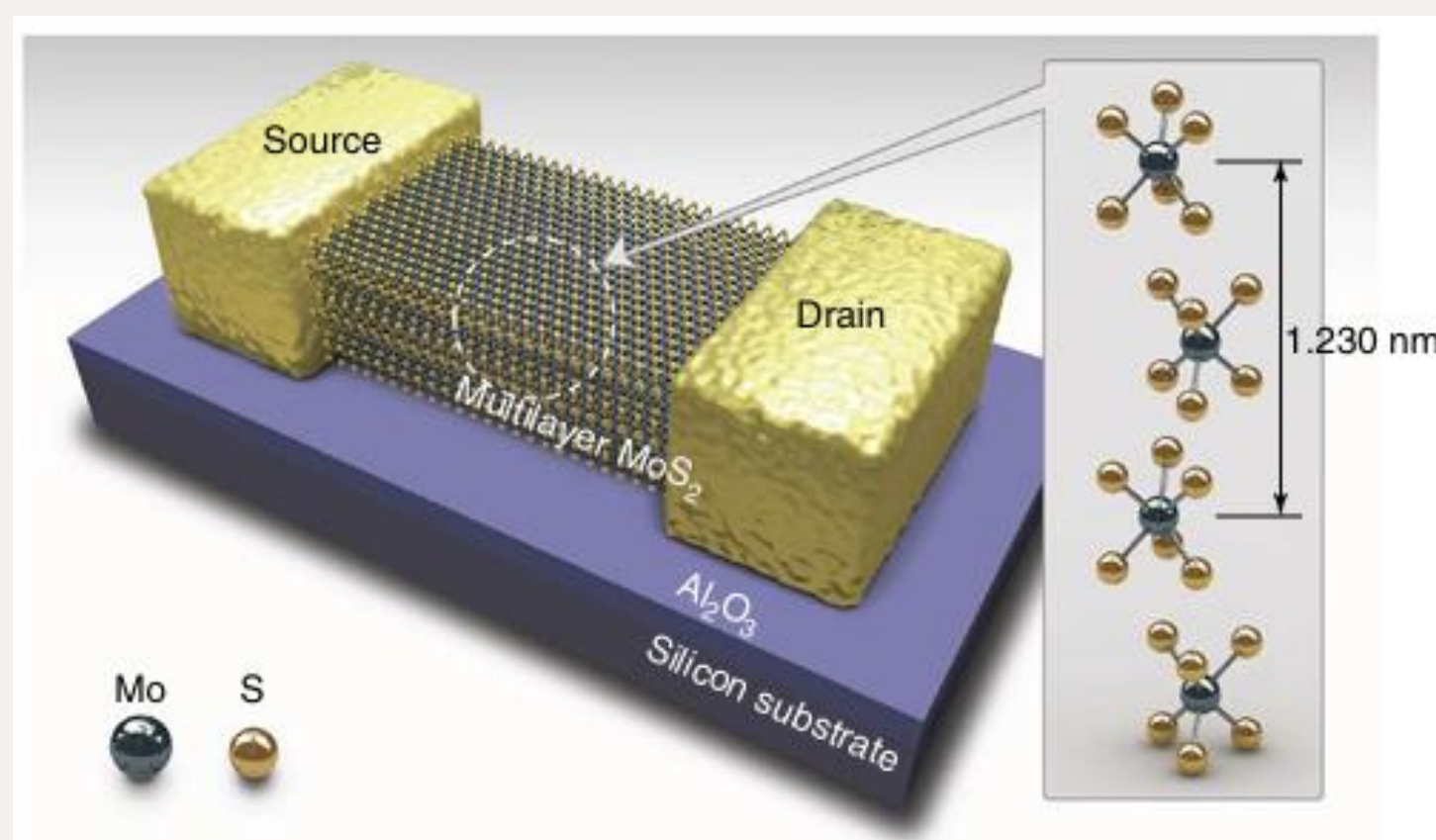
Si의 한계가 열어준 문: 왜 지금 2D 소재인가

트랜지스터 채널 길이가 수 nm 수준으로 줄어들면서 Si 기반 CMOS scaling은 근본적인 물리적 한계에 직면하고 있다. 채널이 짧아질수록 DIBL이 심해지고 SS도 이상값인 60 mV/dec에서 멀어진다. 이를 억제하려면 채널 두께를 줄여 gate의 전기적 제어력을 높여야 하지만, Si를 얇게 가공하면 표면 roughness scattering으로 carrier mobility가 급격히 저하된다. 얇게 만들수록 특성이 나빠지는 이 딜레마가 2D 소재에 대한 관심이 높아진 출발점이다.

MoS₂는 이 딜레마를 구조적으로 해소한다. S-Mo-S sandwich 구조의 각 층은 vdW 힘으로 결합되며, 층 표면에 dangling bond가 존재하지 않아 계면 트랩 밀도(Dit)가 낮고 gate dielectric과의 계면 품질이 우수하다. 원자층 단위의 얇은 채널을 표면 품질 열화 없이 실현할 수 있다는 점이 2D 소재의 핵심 구조적 강점이다.

전자 구조 측면에서 MoS₂는 bulk 상태에서 indirect bandgap(~1.2 eV)이지만, monolayer에서는 K 포인트에서 direct bandgap(~1.8 eV)으로 전환된다. 다만 소자 성능 관점에서 monolayer가 반드시 유리한 것은 아니다. 두께가 너무 얇으면 contact resistance와 surface trap의 영향을 크게 받기 때문에, TFT 소자 적용에서는 multilayer 구성이 더 현실적인 선택이 된다.

양산 적용에는 여전히 과제가 남는다. Mechanical exfoliation은 소자 특성은 우수하지만 면적과 재현성에 한계가 있고, CVD 성장은 대면적에 유리하지만 결정 품질이 아직 exfoliation 수준에 미치지 못한다. 이 간극을 좁히는 것이 2D 소재의 실제 소자 적용을 위한 선결 조건이다.



▲ S-Mo-S 적층 구조와 vdW 층간 결합

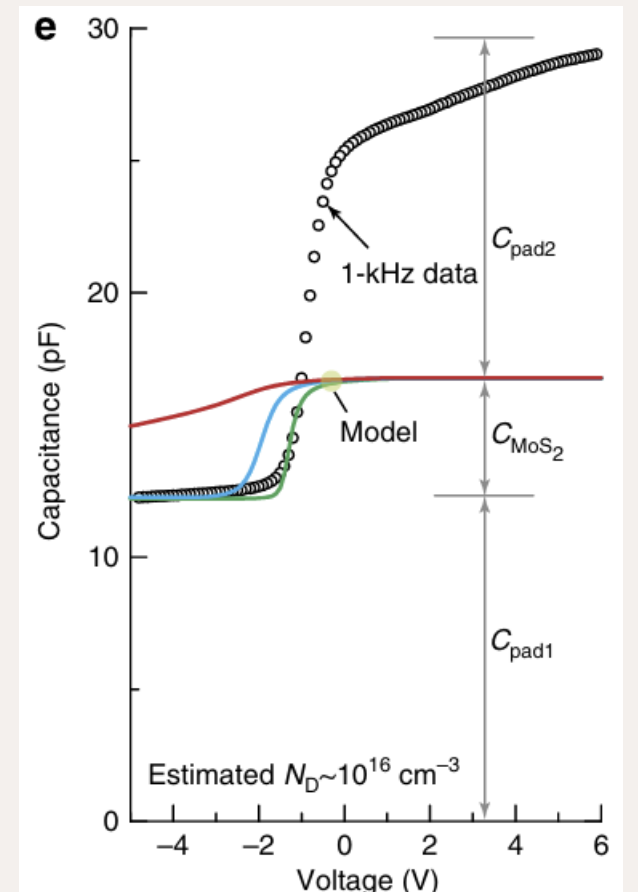
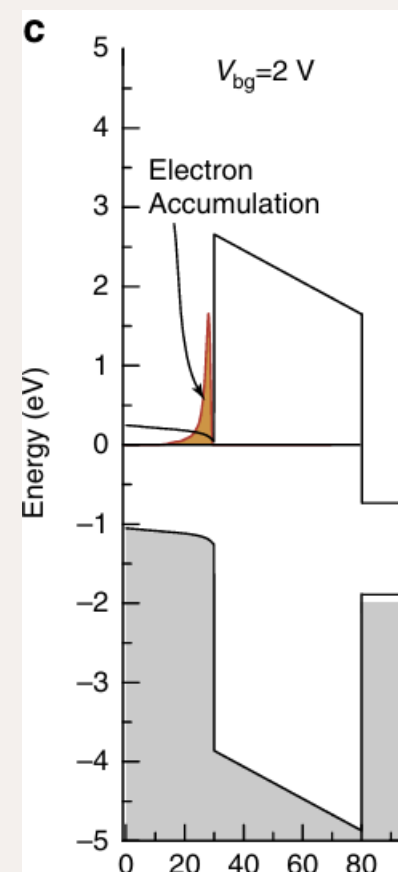
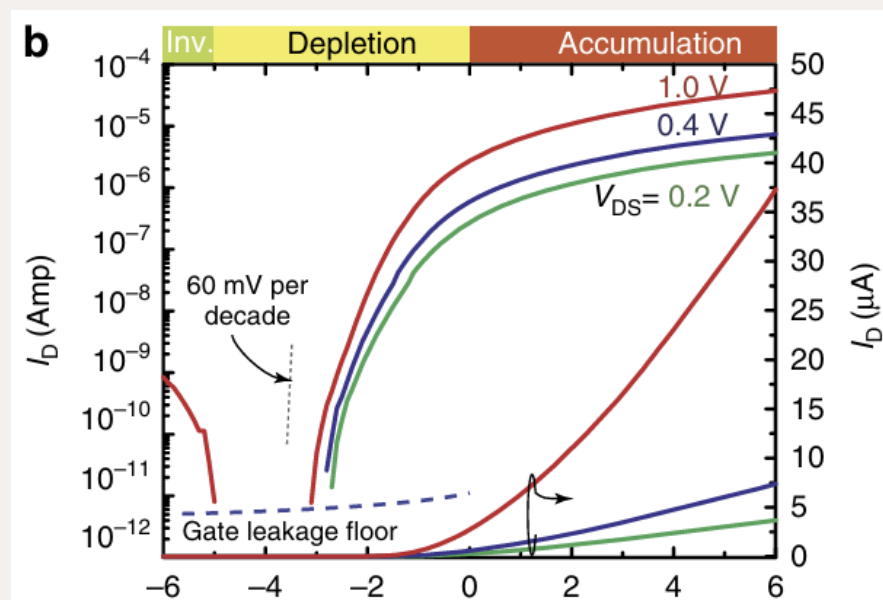
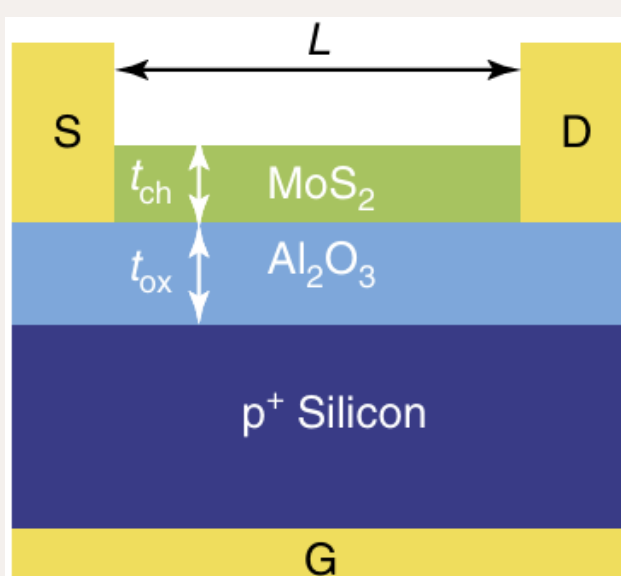
왜 단층이 아닌 다층인가: multilayer MoS₂ TFT 성능의 구조적 근거

MoS₂는 monolayer에서 direct bandgap으로 전환되어 광학 소자 분야에서 주목받지만, 전기 소자 관점에서는 오히려 multilayer 구조가 유리하다는 것이 이 논문의 핵심 메시지다. Monolayer MoS₂는 두께 ~0.65 nm에 불과해 금속 전극과의 계면에서 Fermi level pinning과 Schottky barrier 문제가 심각하다. Contact resistance가 급격히 높아져 Ion을 제한하는 직접적인 병목이 되며, 외부 흡착 분자와 substrate phonon scattering의 영향도 그대로 받아 소자 특성의 재현성이 떨어진다.

Multilayer 구조는 이 문제를 구조적으로 완화한다. 두께가 늘어남에 따라 contact 영역의 전류 경로가 증가하고, 하부 layer들이 채널을 외부 환경으로부터 screening한다. 그러나 두께가 과도하면 gate electric field가 채널 전체를 제어하기 어려워지는 tradeoff가 있다. 이 논문에서 채택한 수 nm 수준의 두께는 Ion 확보와 electrostatic control 사이의 균형점이다.

Al₂O₃ top gate dielectric의 선택도 결정적으로 기여한다. Top gate 구조는 gate coupling 효율이 높고, Al₂O₃의 유전율($k \approx 9$)은 SiO₂($k \approx 3.9$)의 두 배 이상이므로 같은 물리적 두께에서 더 큰 Cox를 확보할 수 있다. $SS = (kT/q)\ln 10 \cdot (1 + C_d/C_{ox})$ 에서 Cox가 커질수록 SS가 이상값(~60 mV/dec)에 근접한다. ALD로 증착된 Al₂O₃은 추가로 MoS₂ 표면의 sulfur vacancy를 passivation하여 Ioff 감소에도 기여한다.

이 논문에서 보고된 Ion/Ioff ratio(>10⁷)는 당시 a-Si TFT 대비 2D 소재 기반 TFT의 가능성을 실증한 주요 결과다. 다만 mechanical exfoliation 기반 단일 flake라는 점에서 large-area 균일성과 재현성 있는 contact 형성이 남은 과제이며, 이 한계는 이후 스터디의 Research Question과 직접 연결된다.

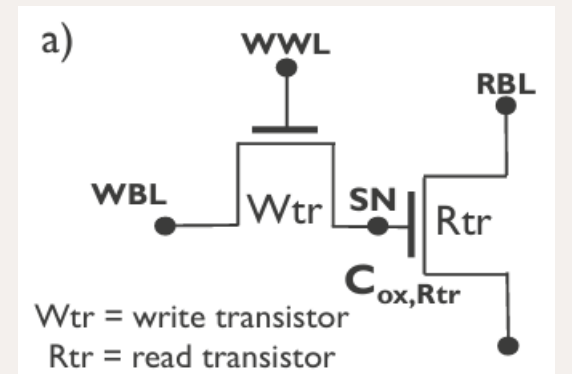


▲ MoS₂ TFT 소자 구조, 전기적 특성 및 계면 전자 축적 확인

Capacitor를 지운 DRAM: IGZO Ioff가 열어준 구조와 그 한계

기존 1T1C DRAM은 미세화가 진행될수록 storage capacitor의 공정 복잡도가 증가한다.

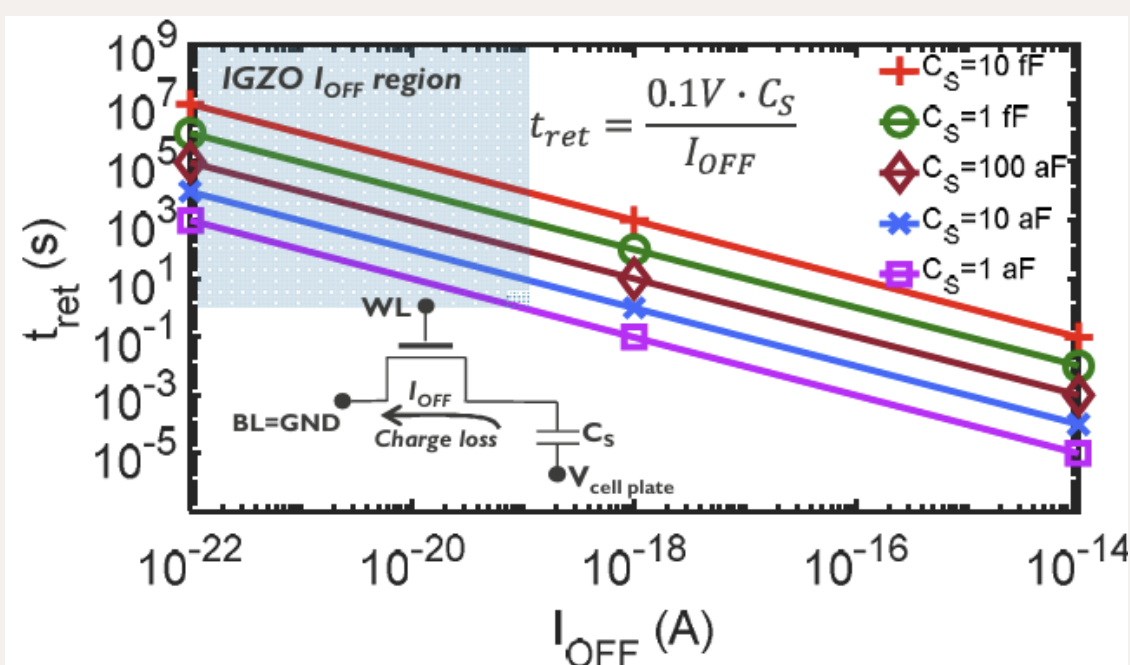
최소한의 capacitance(~ 10 fF)를 유지하려면 deep trench나 고종횡비 cylinder 구조가 필수적이며, monolithic 3D integration에서 이는 현실적인 공정 장벽이 된다. 2T0C 구조는 capacitor를 제거하고 소자 구조를 근본적으로 단순화하는 접근이다.



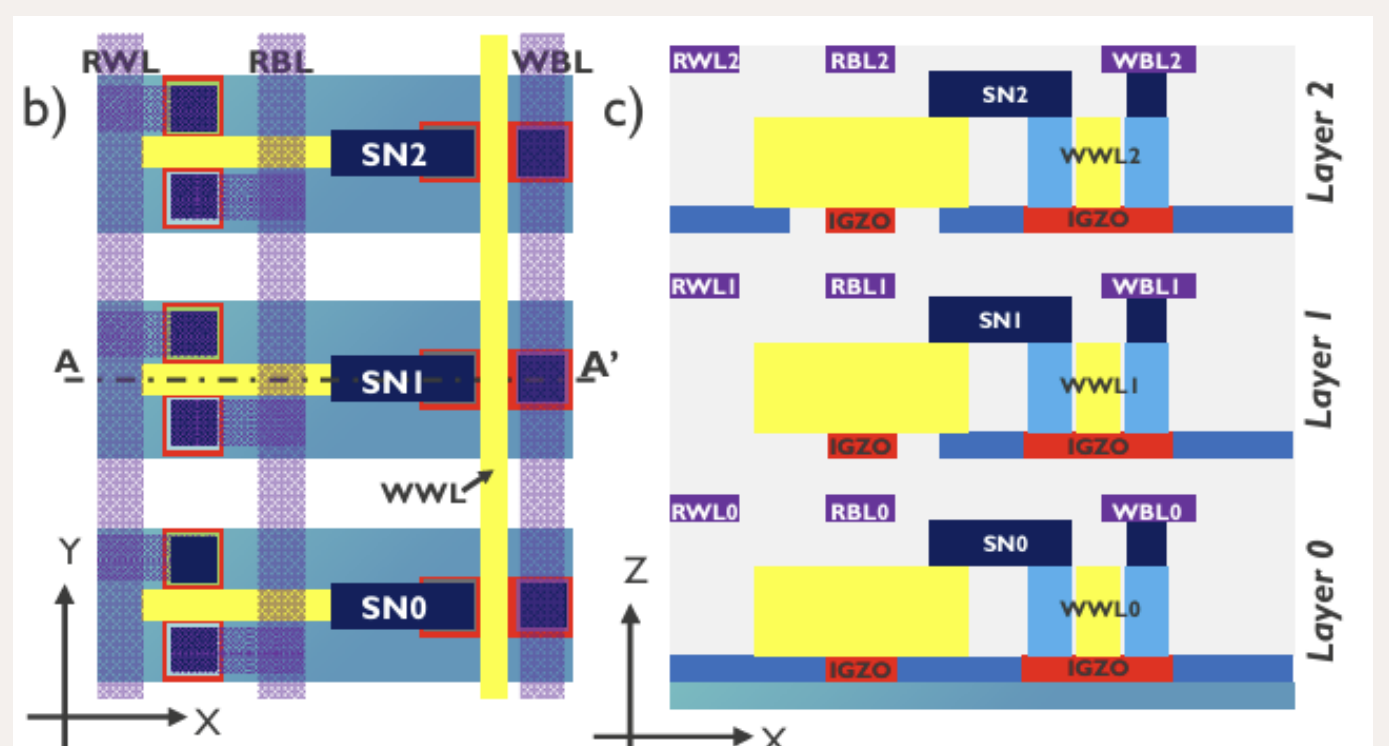
2T0C 셀은 WTR과 RTR 두 트랜지스터로만 구성되며, WTR의 drain이 RTR의 gate에 연결된 storage node(SN)를 공유한다. RTR의 gate capacitance($C_{ox, Rtr}$)가 storage capacitor를 대신한다. Write 동작에서는 WWL을 통해 WTR을 제어하여 SN을 충·방전하고, Hold 상태에서는 WTR을 끄고 SN 전하를 유지한다. Read는 SN 전압에 따라 RTR이 on/off 되고 이를 RBL 전류로 감지한다.

Retention을 결정하는 핵심 인자는 WTR의 Ioff다. IGZO의 Ioff는 $\sim 10^{-23}$ A/ μ m 수준으로, wide bandgap($\sim 3.0\sim 3.5$ eV)에서 비롯된 극도로 낮은 열적 캐리어 생성이 그 물리적 근거다. SN에 저장된 전하가 이 누설전류로 방전되는 시간을 계산하면 >400 s retention이 자연스럽게 도출된다.

그러나 RTR 역시 IGZO TFT이므로 Ion이 낮다는 구조적 한계가 남는다. RTR의 Ion이 낮으면 '1'과 '0' 상태 간 RBL 전류 차(ΔI)가 작아져 sense amplifier가 두 상태를 구분하기 어려워진다. Retention 문제는 해결했지만 read 성능에서 새로운 병목이 생긴 것이며, 이것이 팀 내 Research Question의 씨앗이 된 지점이었다.



▲ WTR Ioff가 retention을 결정



▲ 3D 적층으로 array density 확보

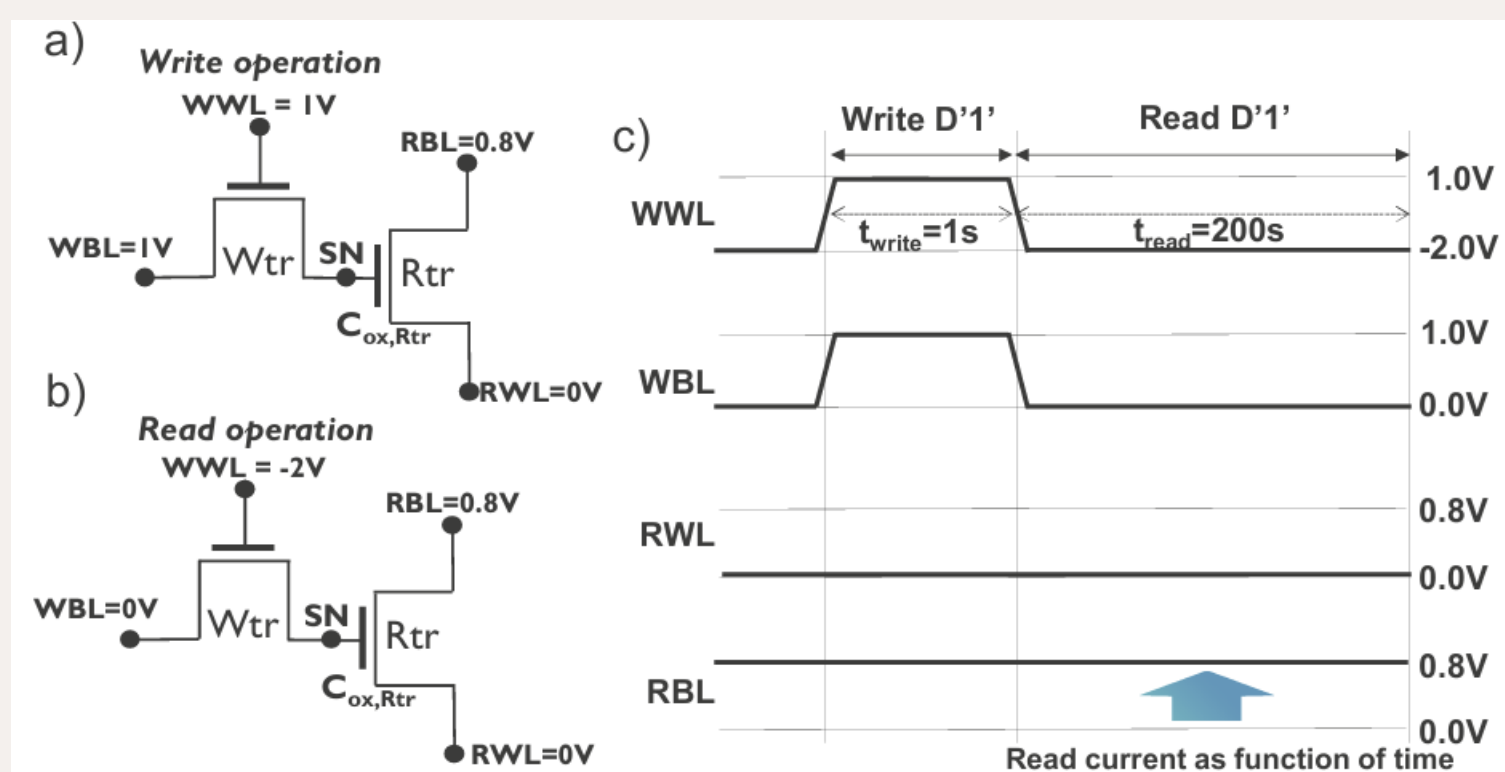
2T0C DRAM의 sensing margin 문제와 이종 소재 통합 제안

한 학기 스터디의 최종 목표는 팀 스스로 Research Question을 도출하는 것이었다. 출발점은 IGZO 2T0C DRAM 논문 리뷰에서 공통적으로 제기된 문제의식이었다. WTR의 low I_{off} 덕분에 retention은 해결되었지만, RTR의 I_{on} 이 낮아 sensing margin이 부족하다는 구조적 한계가 분명했다.

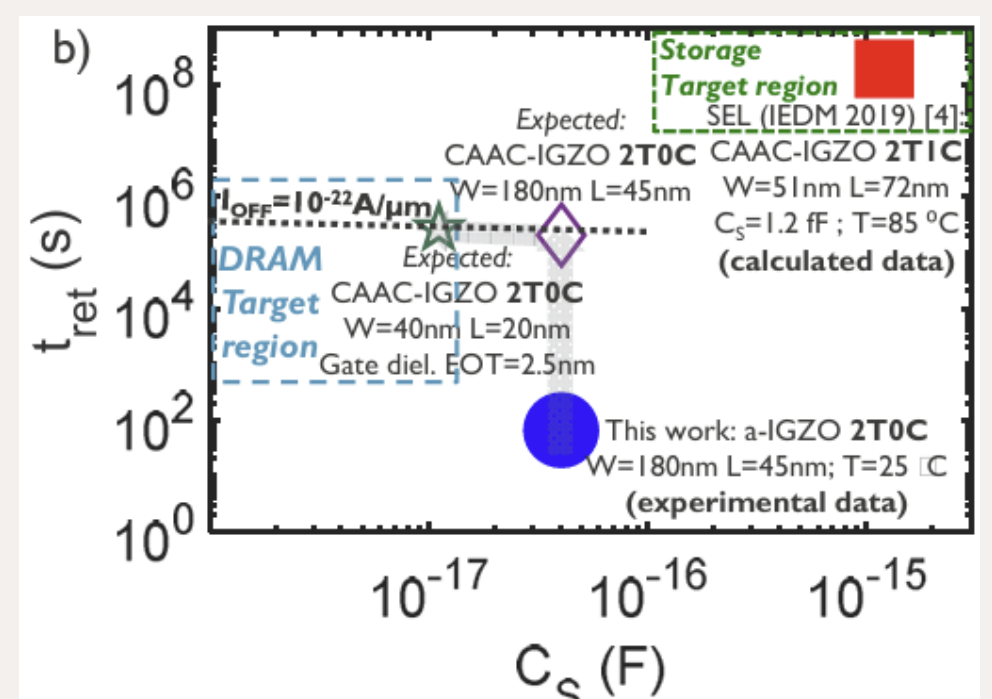
RTR을 Si MOSFET으로 교체하면 I_{on} 문제는 해결되지만, 고온 공정(>800°C)이 하부 소자에 열 데미지를 줄 수 있다. IGZO는 저온 공정(~200~300°C)으로 3D 적층에 유리하지만 I_{on} 이 낮다. 결국 저온 공정이 가능하면서도 high I_{on} 을 갖는 소재가 필요하다는 조건으로 논의가 모아졌다.

이 조건을 만족하는 후보로 MoS₂가 제시되었다. 핵심 논의는 "RTR에 MoS₂를 쓸 때 I_{off} 문제는 없는가"였다. RTR은 read path에 위치하므로 I_{off} 가 높아도 SN 전하 누설에 직접 영향을 주지 않는다. 누설 경로는 WTR이 지배적이기 때문이다. 따라서 WTR은 IGZO로 low I_{off} 와 긴 retention을 확보하고, RTR은 MoS₂로 high I_{on} 과 sensing margin을 개선하는 역할 분담이 성립한다.

최종 Research Question: "AOS(IGZO) 기반 2T0C DRAM에서 WTR은 IGZO를 유지하여 긴 retention을 확보하고, RTR은 MoS₂를 적용하여 sensing margin을 개선할 수 있는가?" 현실적 선결 과제로는 공정 호환성, 이종 소재 계면의 contact 형성, MoS₂ TFT의 균일성이 있다. 이 한계들을 인식하며 질문을 정밀하게 다듬는 과정 자체가 문헌 학습에서 연구 설계로 넘어가는 훈련이었다.



▲ Write/Read 동작 및 신호 타이밍:
RTR이 RBL 전류로 저장값 판별



▲ 2T0C의 retention은 확보, I_{on} 이 과제