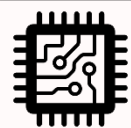


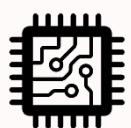
스터디 운영 및 학습 결과보고서

회로설계팀 | 조민석, 박재홍, 정상운, 박준범, 문정민



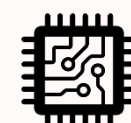
스터디 목표

- 반도체 회로설계의 기본 배경지식들을 학습
- 회로설계 기능을 제공하는 오픈소스 툴들을 사용, 숙달
- 소자의 물리적 특성이 회로에 미치는 영향을 탐구



진행 방식

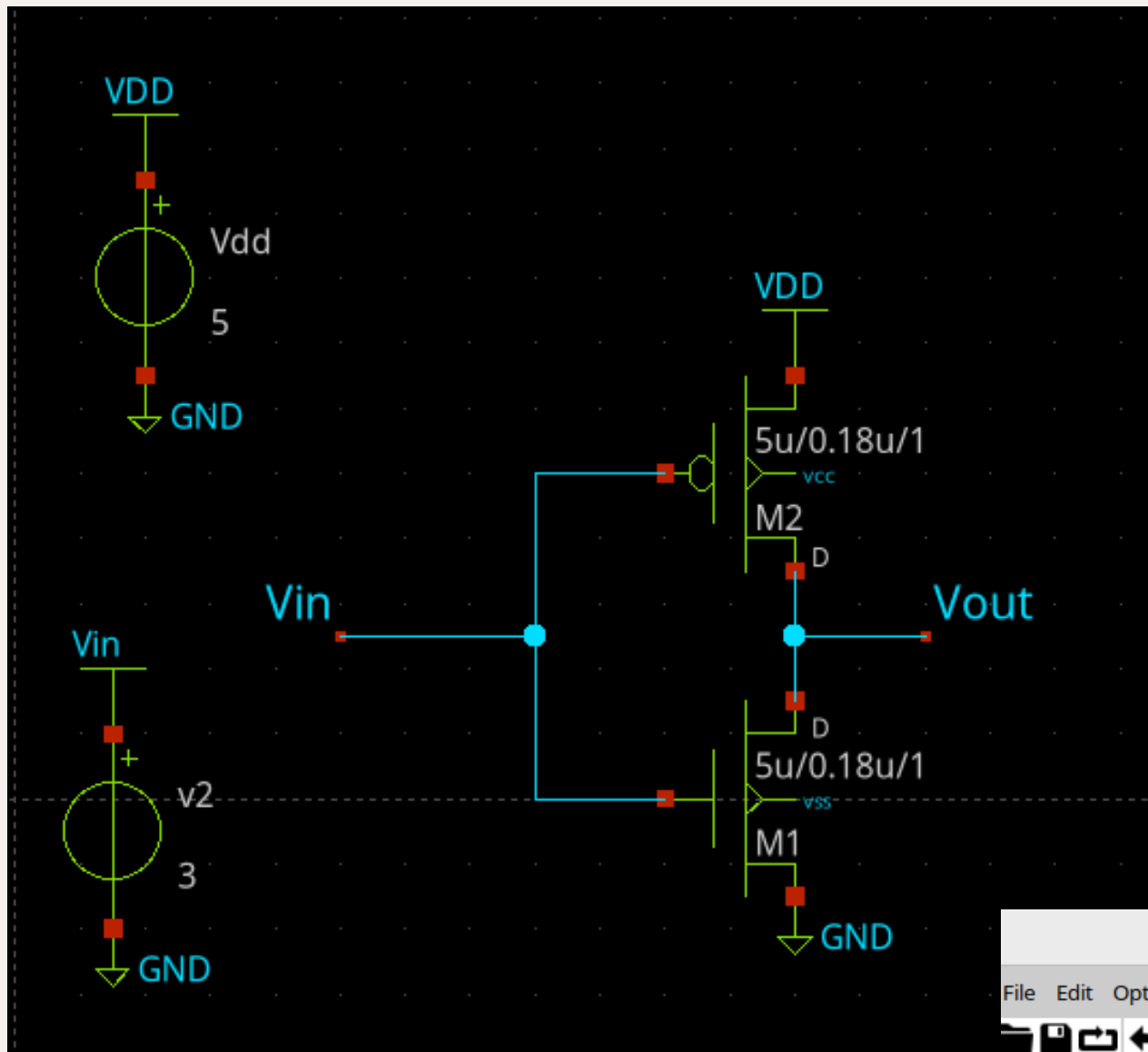
- 인원: 조민석, 박재홍, 정상운, 박준범, 문정민
- 일시: 수요일 15시, 금요일 13시
- 방식: 대면, 해동학술정보관, 삼성학술정보관 이용
- 자료 활용: 오픈소스 툴들을 가상OS 위에서 실행하여 사용
- 진행 흐름: ETRI 연구노트를 바탕으로 다같이 진행하며 탐구



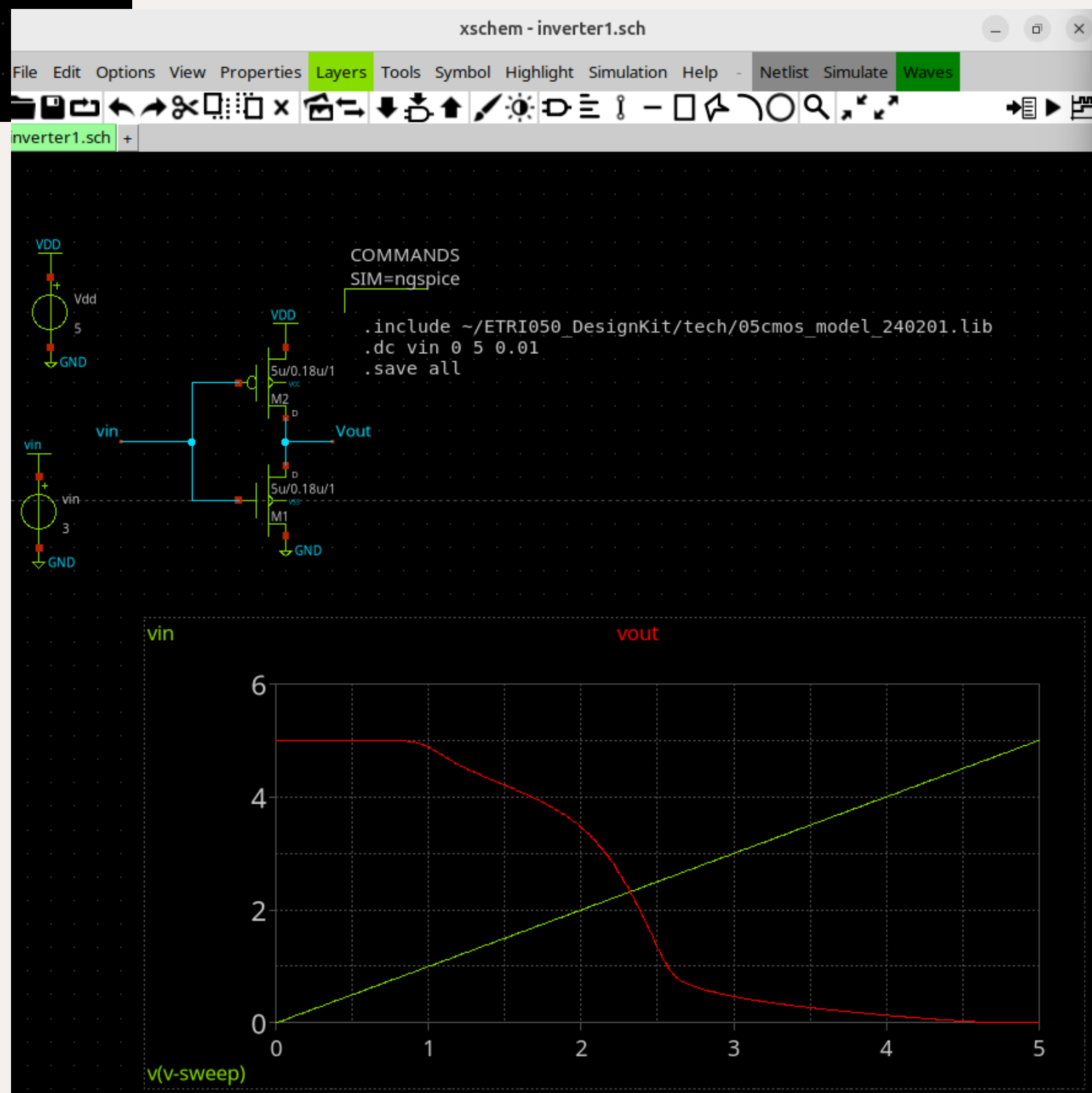
주차별 주제

- 1회차~3회차: 스터디 계획 수립
- 4회차~6회차: Inverter 회로도 작성 및 시뮬레이션; Xschem, Ngspice, Magic
- 7회차~11회차: 8T SRAM bit cell 회로도 작성 및 시뮬레이션
- 12회차~13회차: C/Verilog-to-GDS; Qflow, Yosys, Graywolf, Qrouter (FIR 필터 설계)

주제 1: Inverter 회로도 작성 및 시뮬레이션; Xschem, Ngspice, Magic

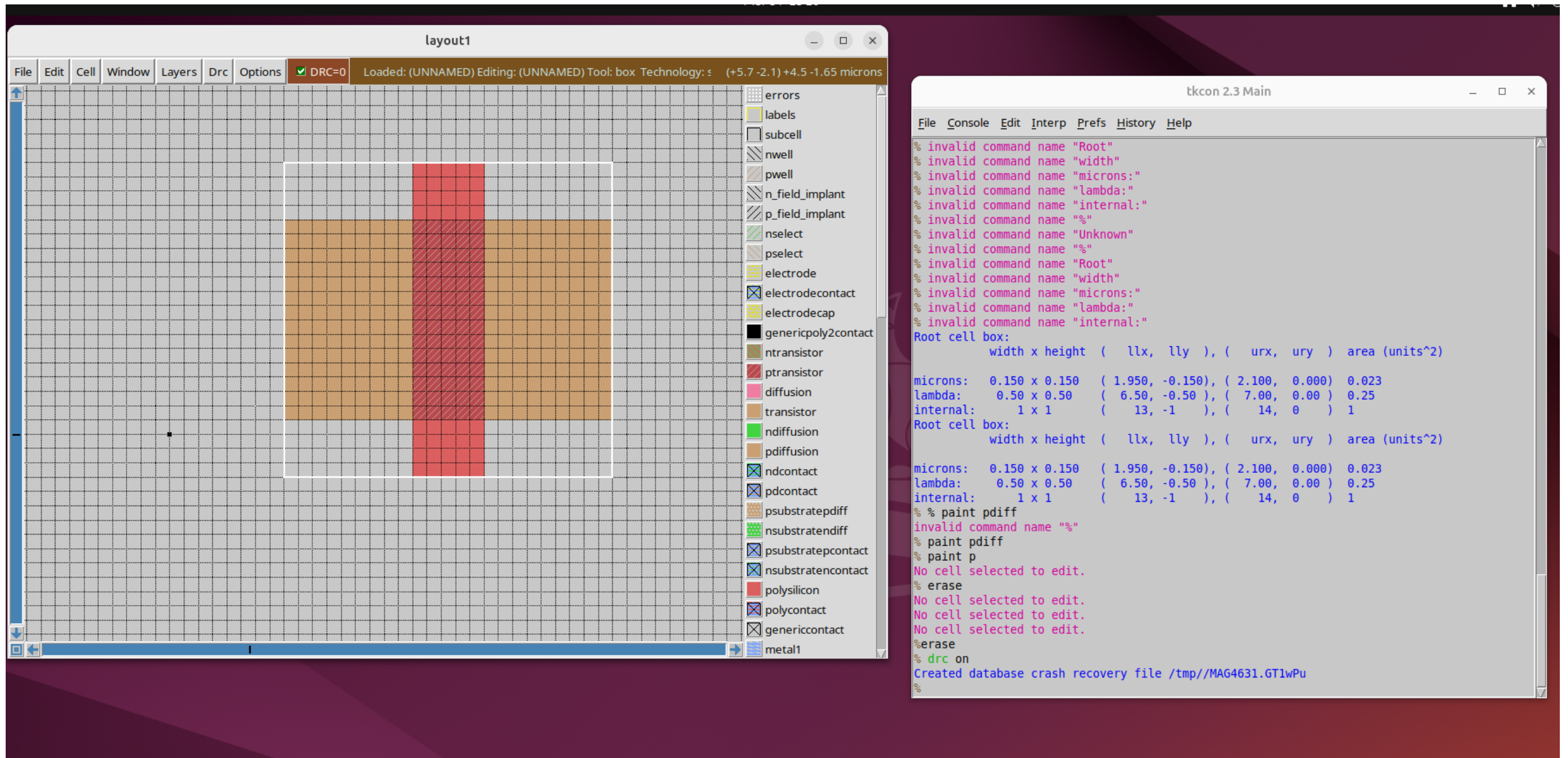


← Xchem을 이용하여 작성한 Inverter의 CMOS 회로도이다.

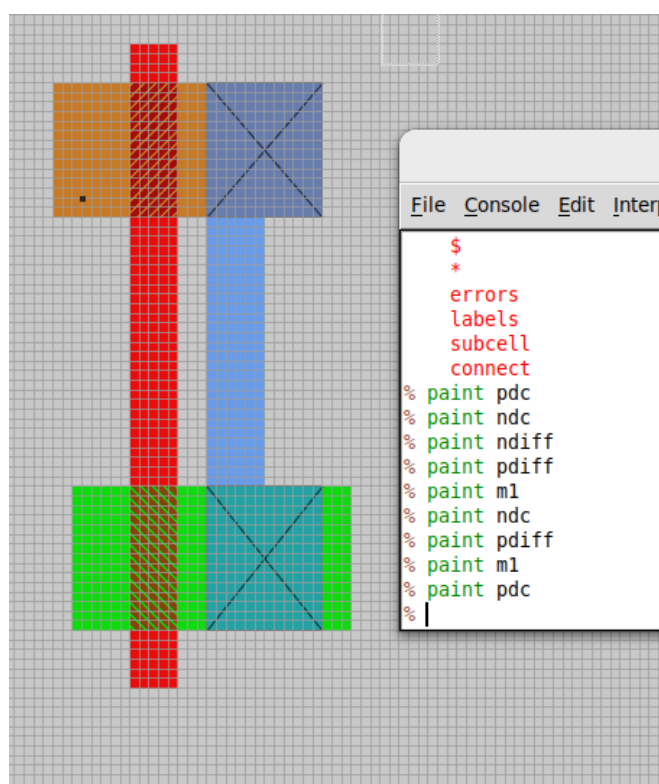


작성한 인버터 회로를 Ngspice를 이용하여 Testbench 코드를 작성해 시뮬레이션 한 결과이다.
입력 전압을 반전시키는 인버터의 역할을 잘 수행하는 것을 확인할 수 있다.

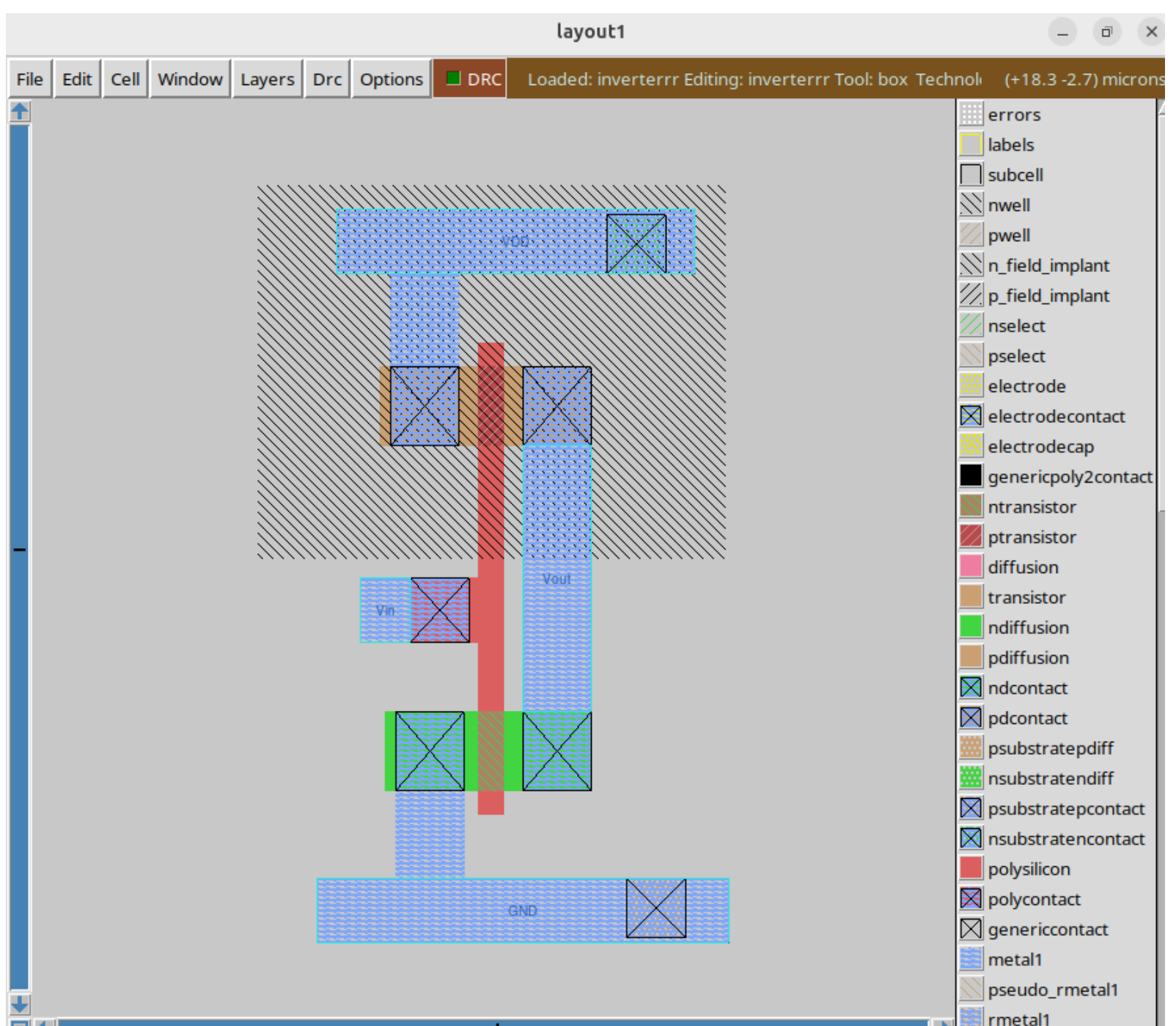
주제 1: Inverter 회로도 작성 및 시뮬레이션; Xschem, Ngspice, Magic



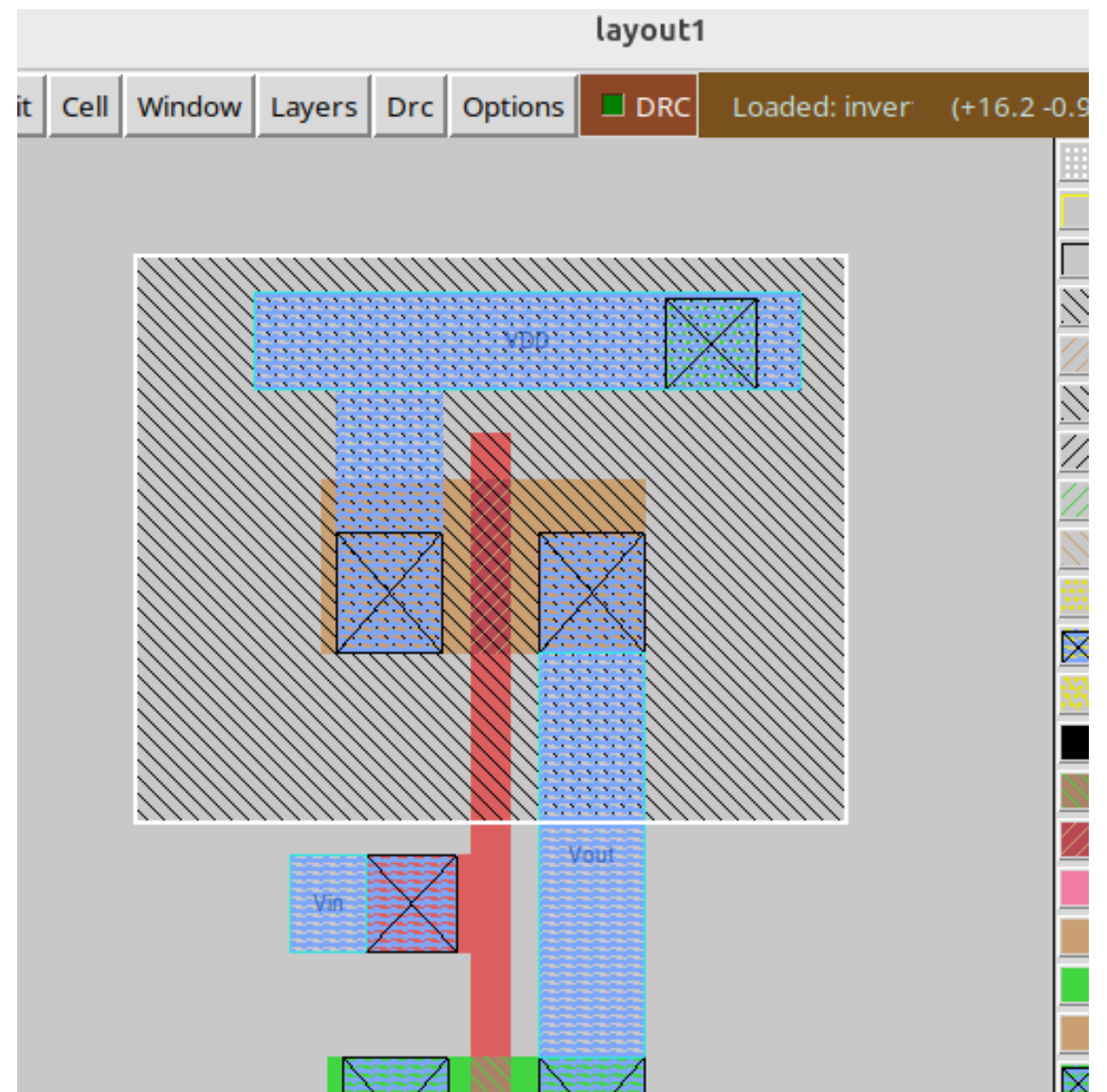
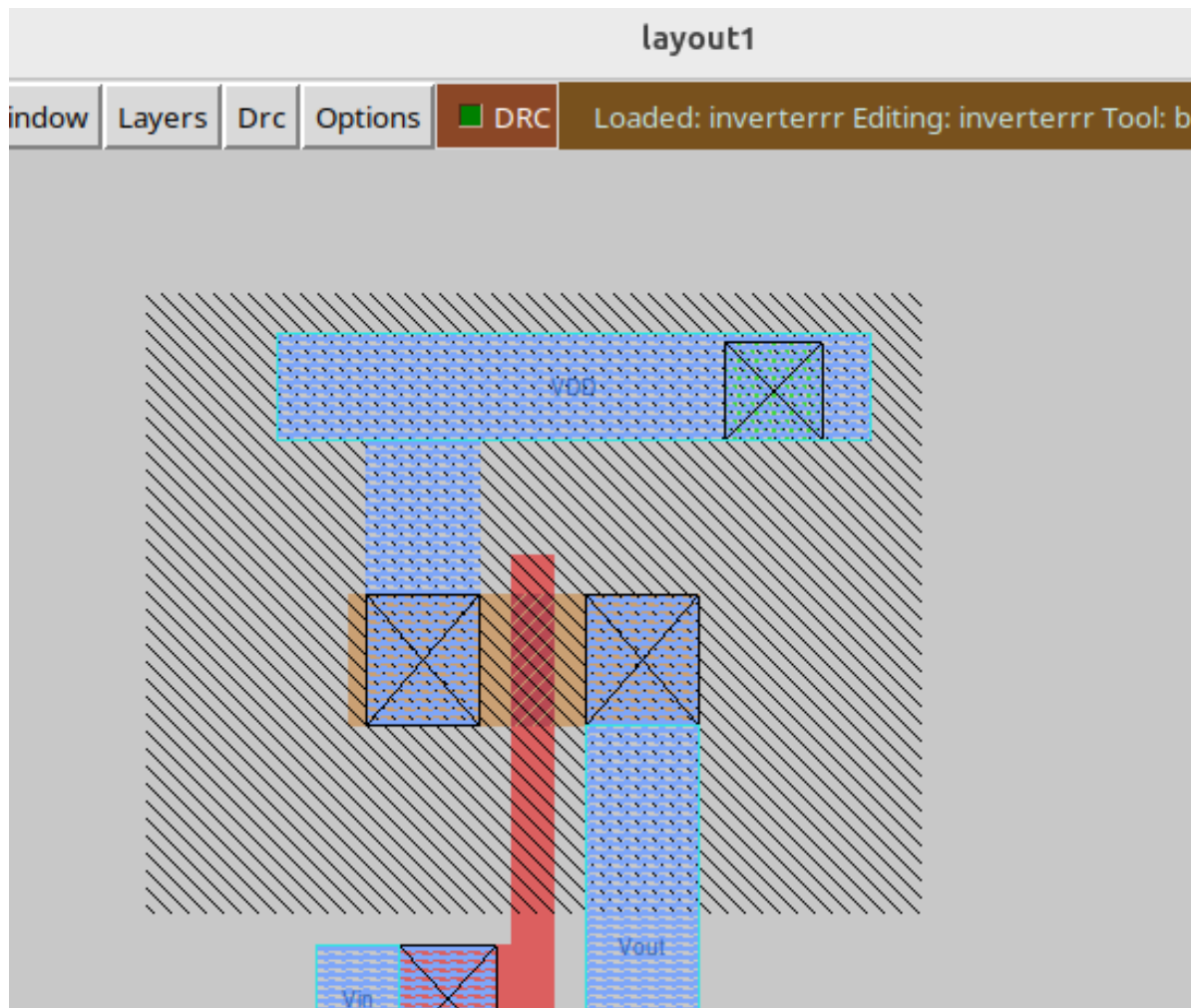
→ Magic을 이용하여 Inverter의 레이아웃 회로도를 작성하는 과정이다.



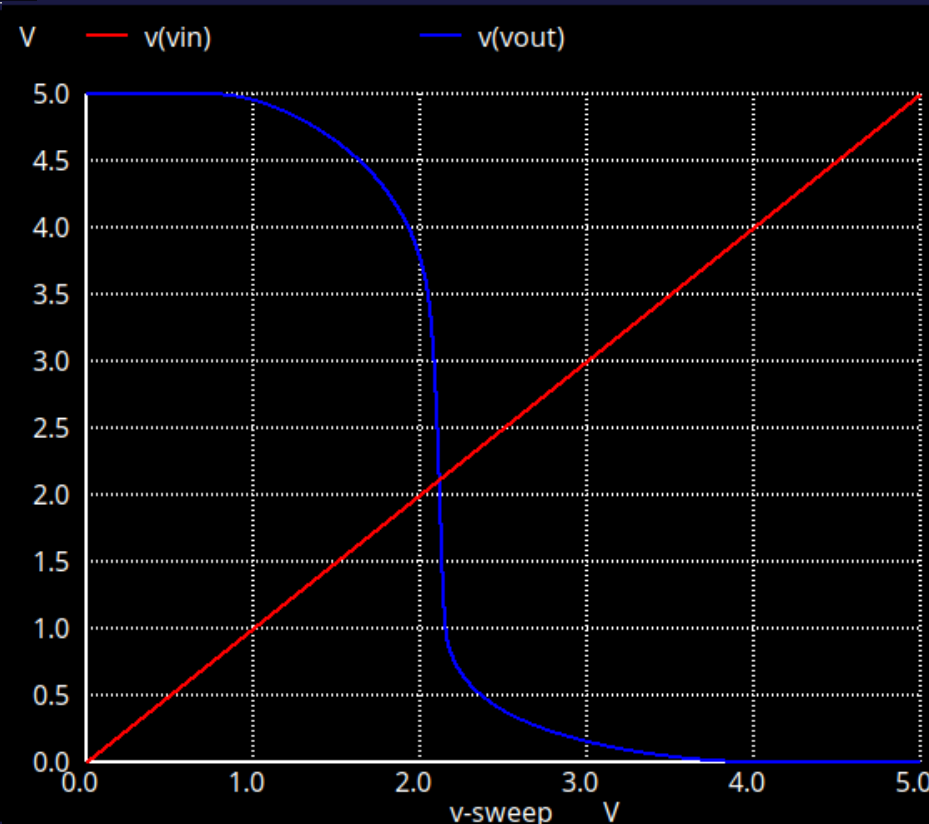
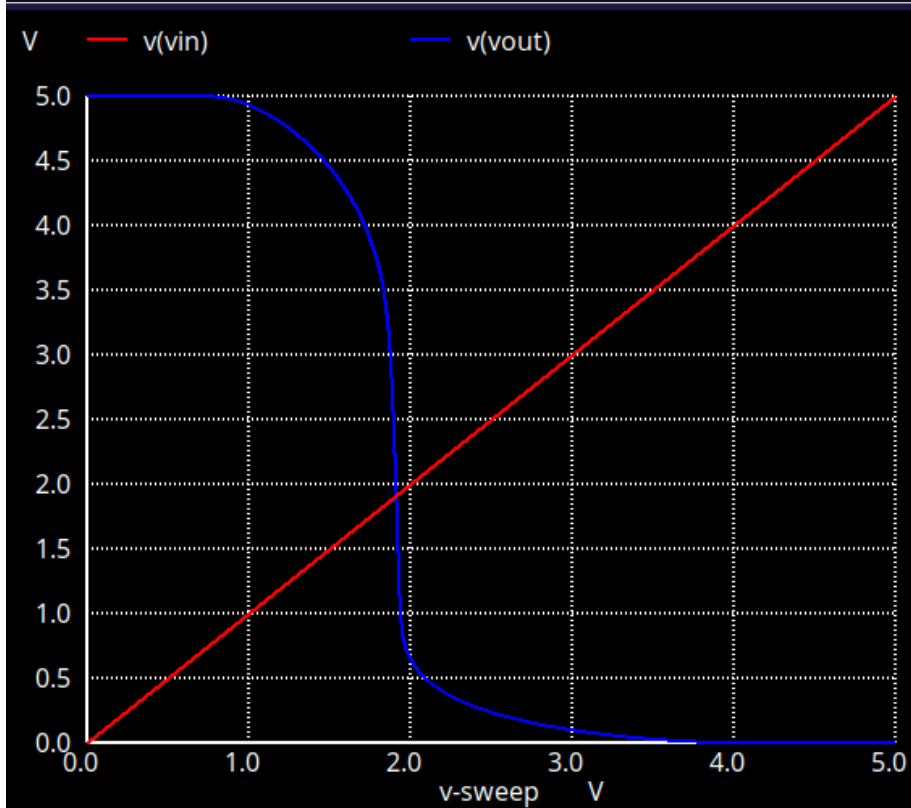
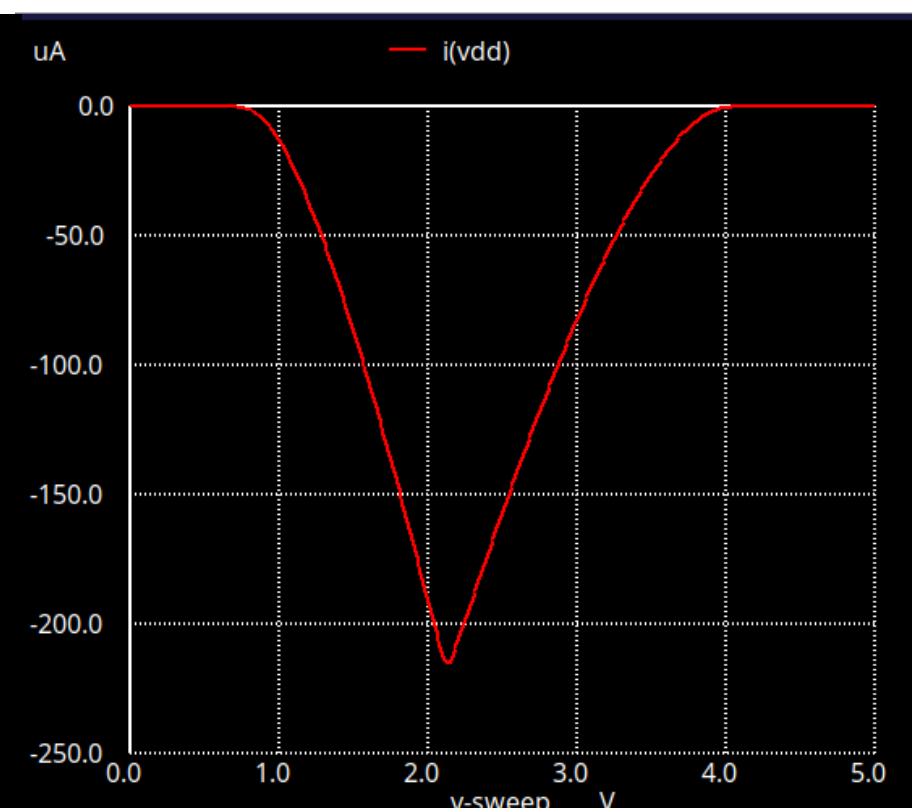
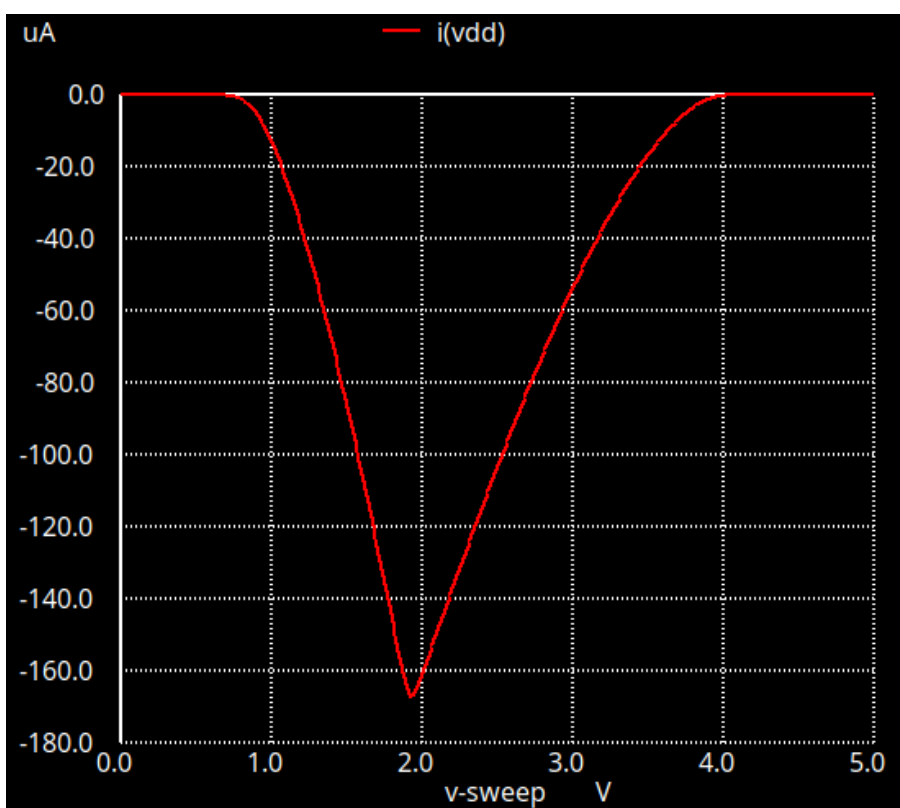
우리가 완성한 인버터 → 레이아웃 회로도이다.



주제 1: Inverter 회로도 작성 및 시뮬레이션; Xschem, Ngspice, Magic

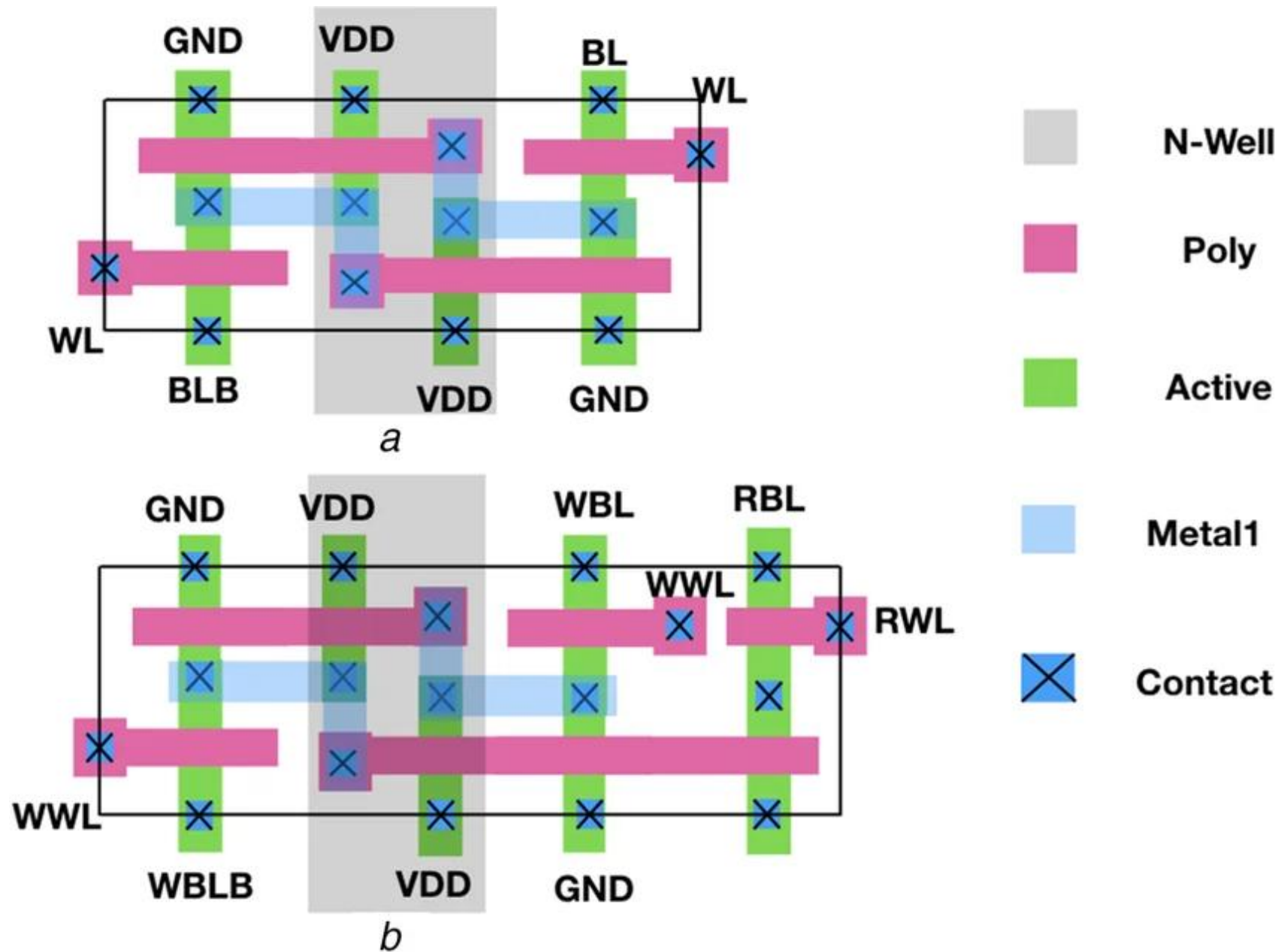


→ PMOS의 width를 늘려서 시뮬레이션 결과를 비교해보기로 하였다.

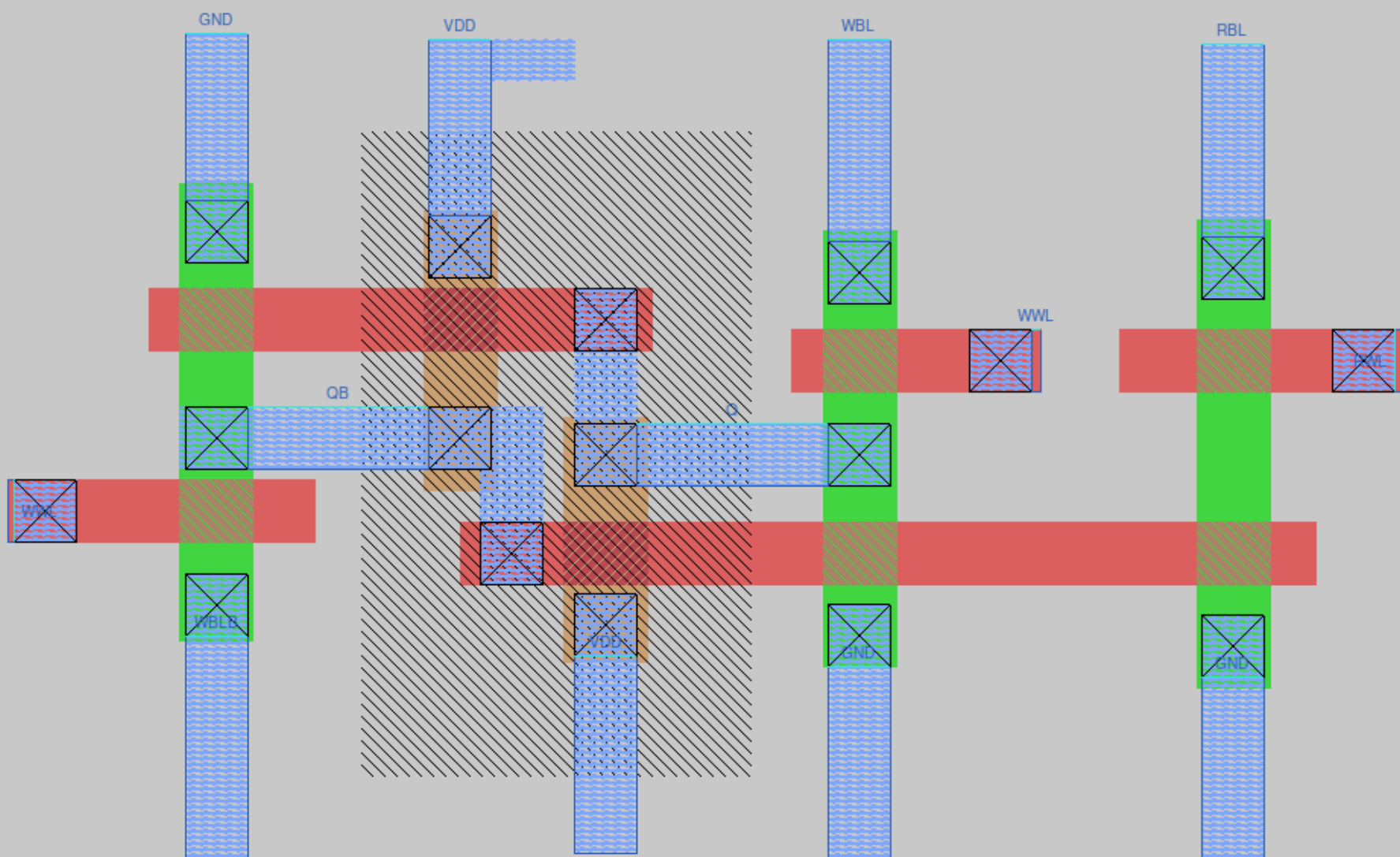


→ 왼쪽 두개의 그래프가 width가 작을때, 오른쪽 두개의 그래프가 width가 클 때의 그래프이다. PMOS의 width가 증가할 수록 출력이 반전되는 전압의 위치가 (+) 방향으로 shift 된 모습이다.

주제 2: 8T SRAM bit cell 회로도 작성



→ SRAM bit cell의 6T 버전과 8T 버전의 레이아웃 회로도를 나타낸 그림이다. 이중에서 우리는 아래의 8T SRAM의 bit cell을 우리의 힘으로 작성해보기로 하였다.



→ 우리가 Magic을 이용하여 그린 8T SRAM의 레이아웃 회로도이다.


```
* 8T SRAM Cell Full Lifecycle Testbench (All Signals Plot)
* -----

.model nfet nmos (vto=0.5 kp=120u)
.model pfet pmos (vto=-0.5 kp=40u)

.include sram8t.spice

Vvdd VDD 0 DC 1.8

* --- [타이밍 설계 (구간별 20ns 여유 세팅)] ---
* 1. WWL 펄스: 10ns(Write 1), 70ns(Write 0)에 각각 20ns 동안 On
Vwwl ww1 0 PULSE(0 1.8 10ns 0.1ns 0.1ns 20ns 60ns)

* 2. RWL 펄스: 40ns(Read 1), 100ns(Read 0)에 각각 20ns 동안 On
Vrwl rw1 0 PULSE(0 1.8 40ns 0.1ns 0.1ns 20ns 60ns)

* 3. WBL / WBLB 데이터: 0~60ns 구간은 Data 1(1.8V/0V), 60ns~130ns 구간은 Data 0(0V/1.8V)
Vwbl wbl 0 PULSE(1.8 0 60ns 0.1ns 0.1ns 70ns 140ns)
Vwblb wblb 0 PULSE(0 1.8 60ns 0.1ns 0.1ns 70ns 140ns)

* --- [RBL 프리차지 튜닝] ---
Rrbl rbl VDD 100k
Crbl rbl 0 30f

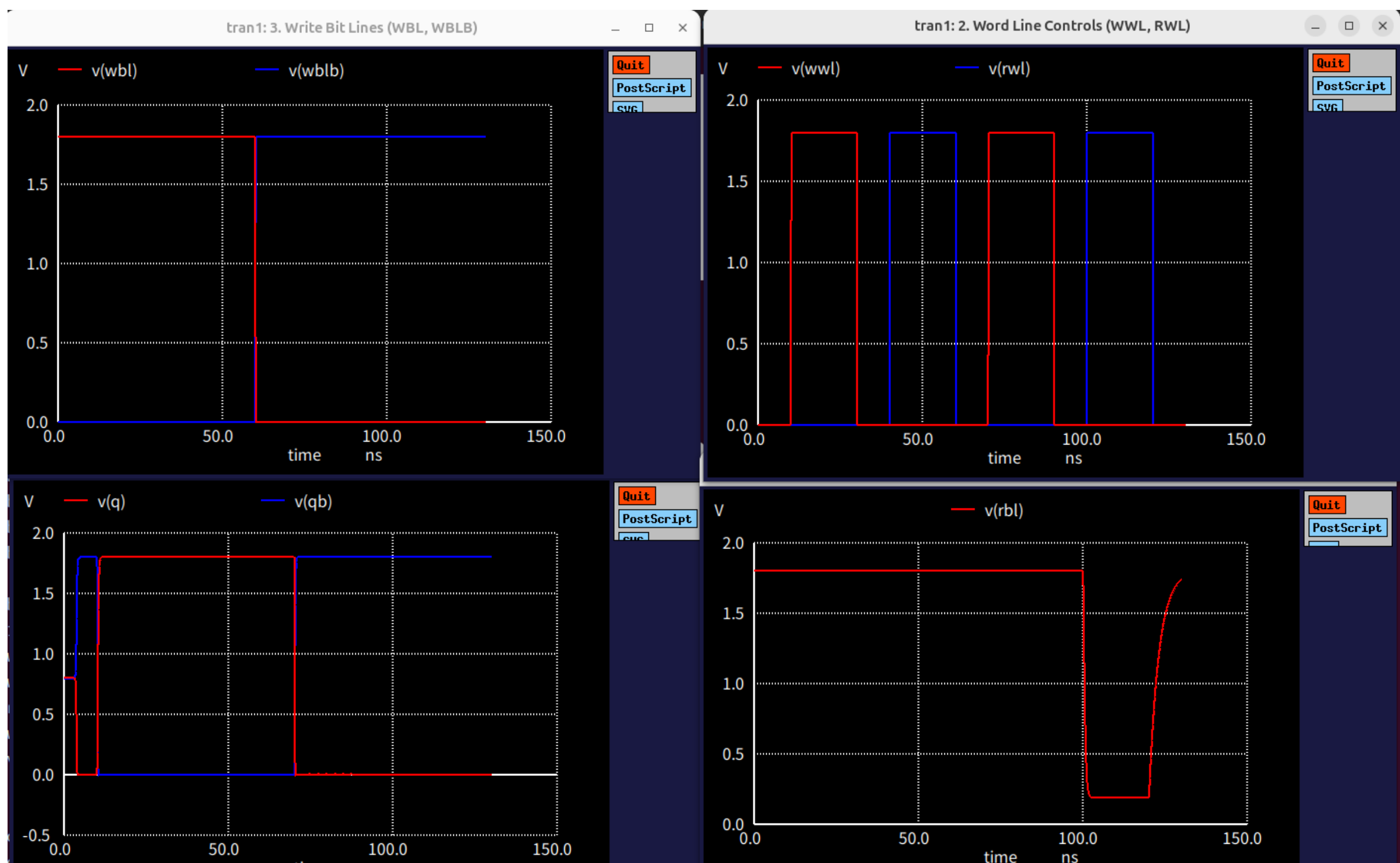
.ic V(X1.Q)=0 V(X1.QB)=0

X1 wbl rbl VDD 0 ww1 wblb rw1 q qb sram8t

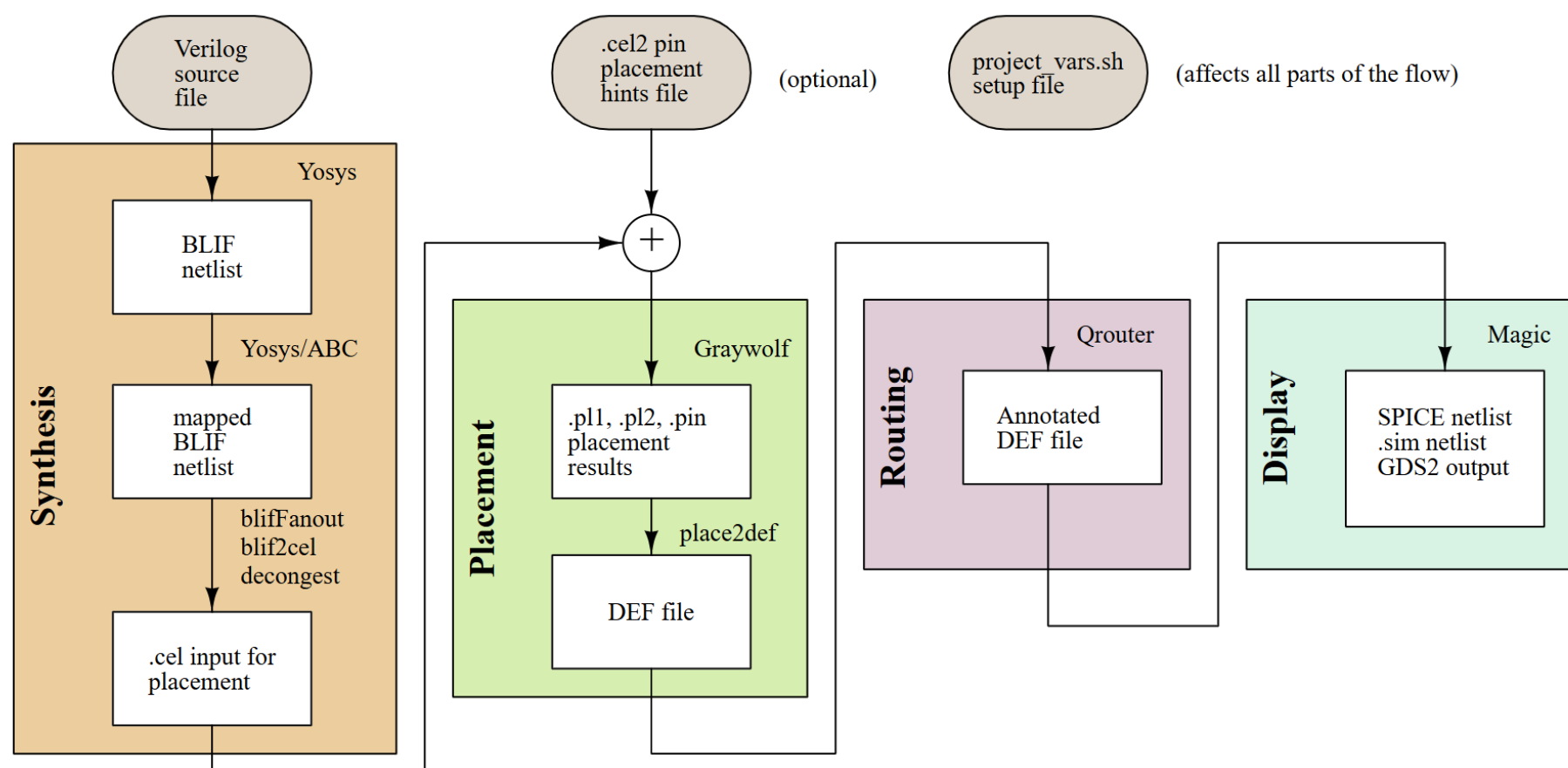
.control
```

→ 작성한 bit cell
회로도가 제대로
작동하는지 알아보기
위한 테스트벤치 코드를
작성하였다.

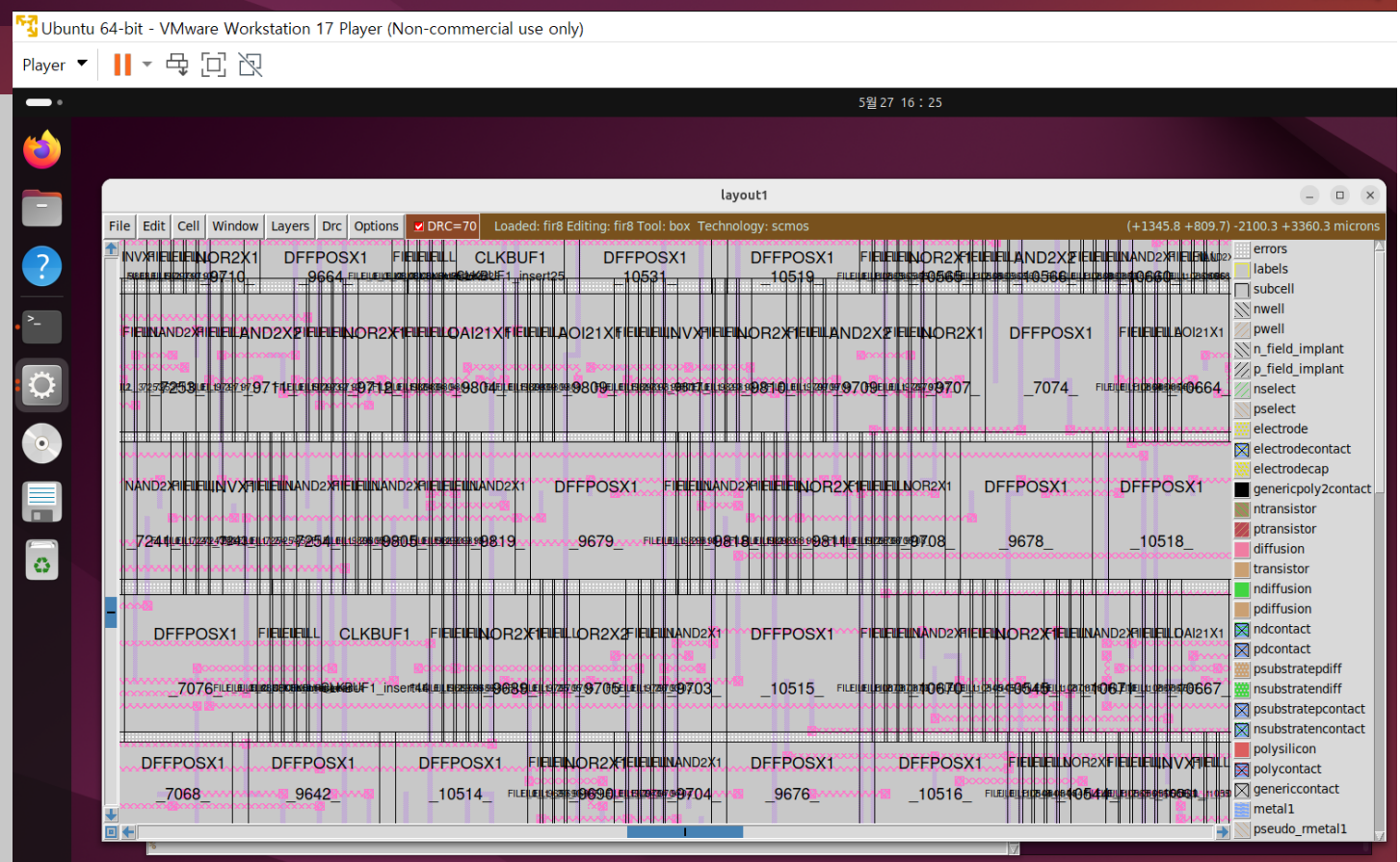
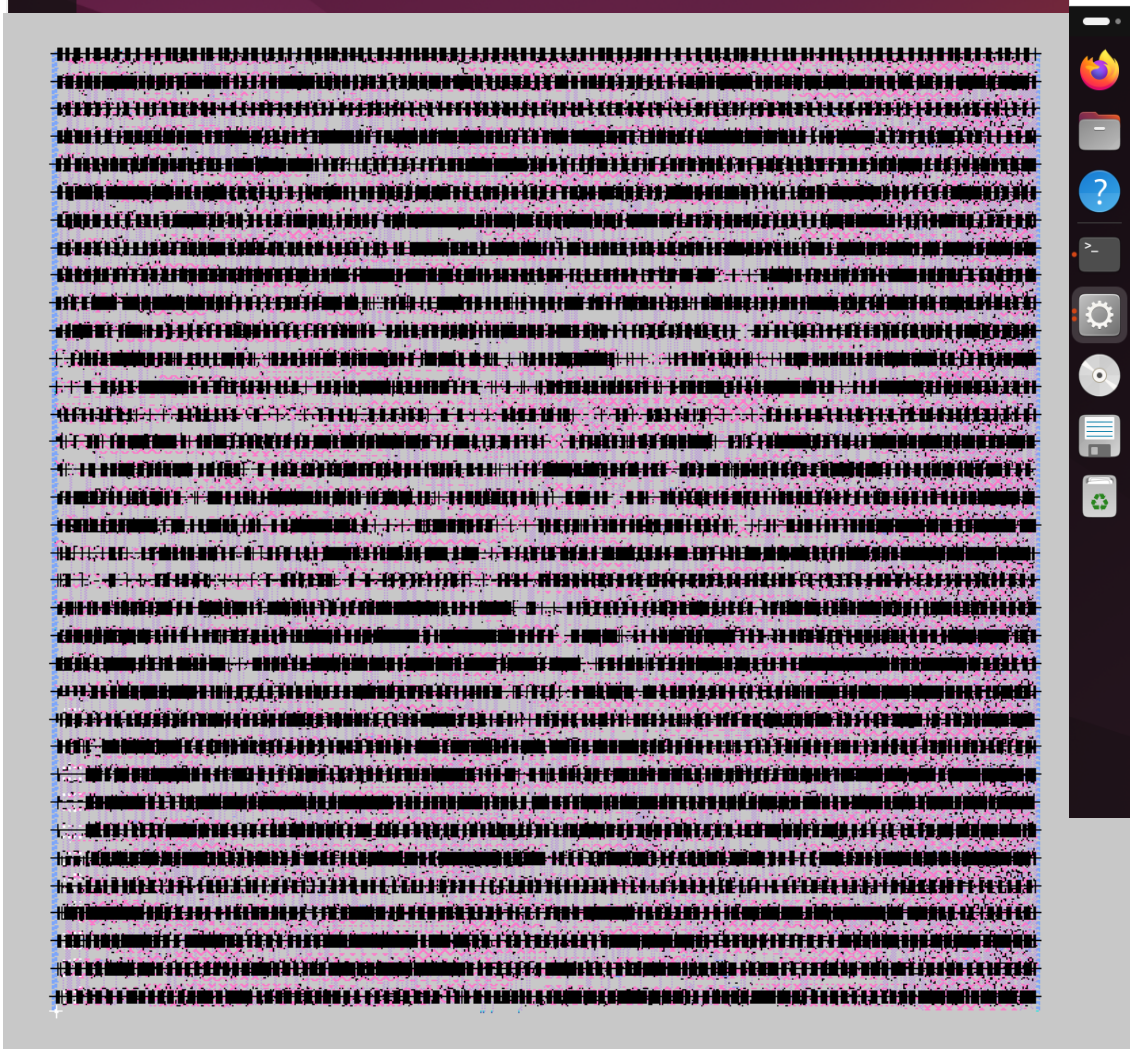
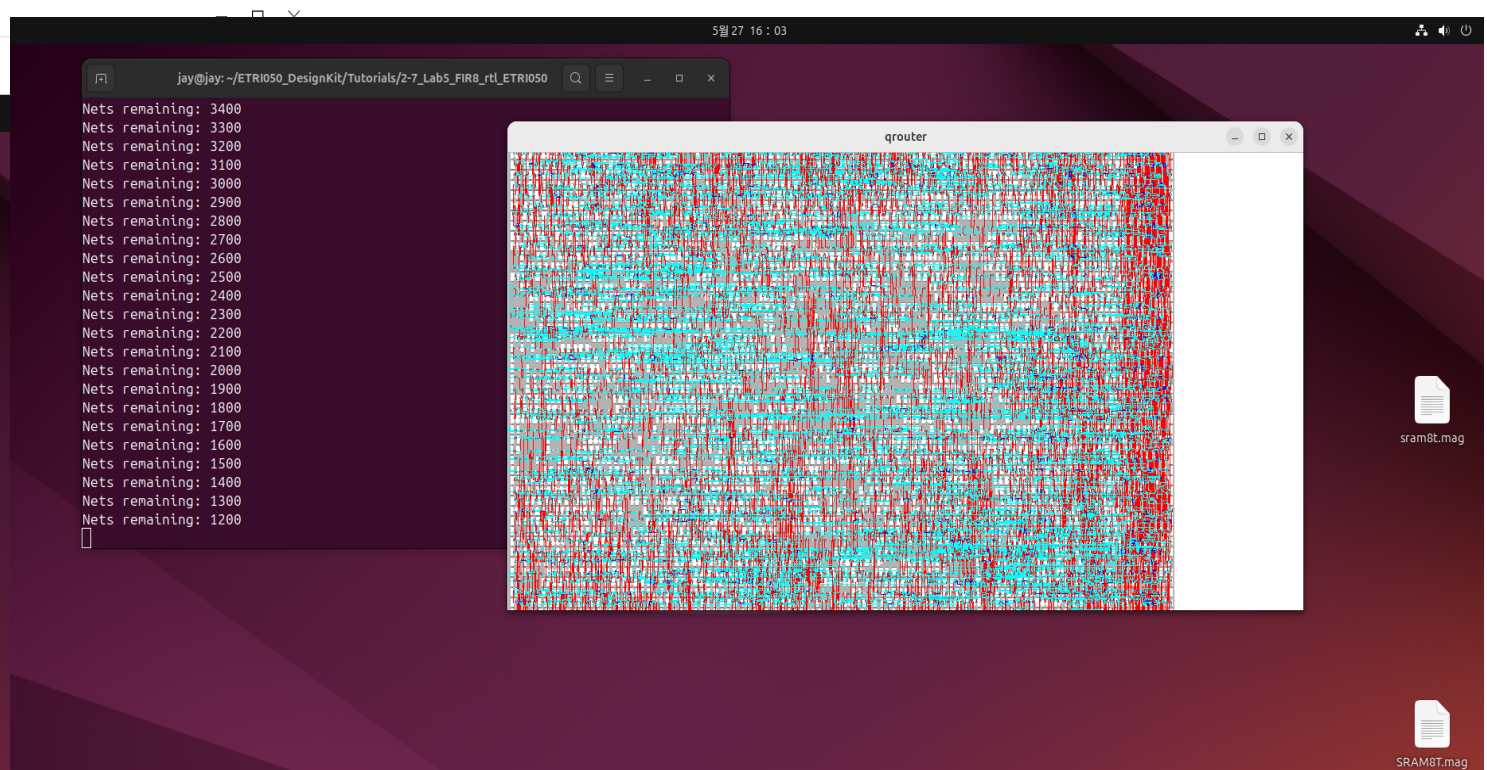
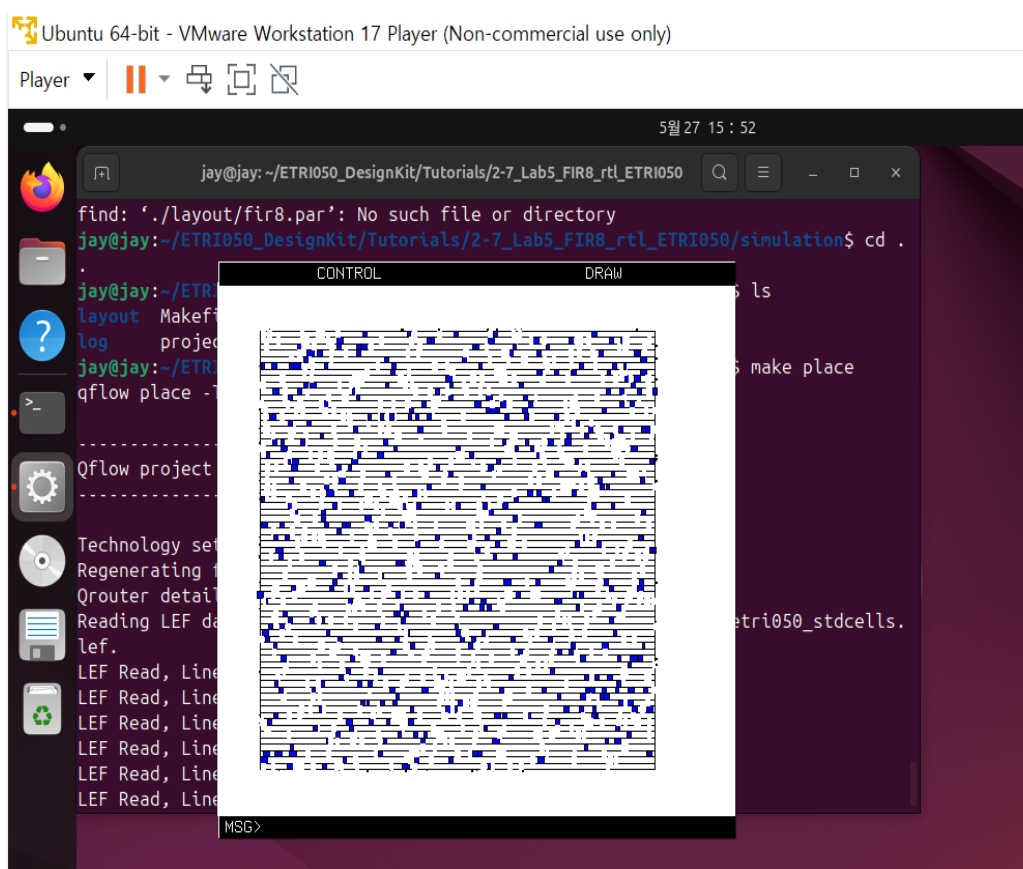
↓ 시뮬레이션 결과를
그래프로 나타낸 것이다.
SRAM의 write, read
기능이 제대로 작동하는
것을 볼 수 있었다.



주제 3: C/Verilog-to-GDS; Qflow, Yosys, Graywolf, Qrouter (FIR 필터 설계)



→ Verilog 파일을 GDS
형식의 레이아웃까지
종합적으로
구동시켜주는 Qflow의
구조를 나타낸
도식도이다.



← Qflow를 구동하여 FIR 필터를 설계하는 과정,
결과 회로도이다.